

REMARKS

Initially, in the Office Action dated July 19, 2005, the Examiner has objected to the Information Disclosure Statement filed May 16, 2005 alleging that it fails to comply with 37 C.F.R. §1.98(a)(2) which requires a legible copy of each cited foreign patent document; each non-patent literature publication or that portion which cause it to be listed; and all other information or that portion which cause it to be listed. The Examiner rejects claims 34-52 and 54-60 under 35 U.S.C. §103(a) as being unpatentable over U.S. Patent No. 6,271,110 (Yamaguchi et al.) in view of Japanese Patent No. 05-121409 (Akira), U.S. Patent No. 5,643,831 (Ochiai et al.) and Japanese Patent No. 05-206221 (Michihiko et al.) as previously applied. Claim 53 is allowable over the prior art.

By the present response, Applicants have amended claim 34 to further clarify the invention. Claims 34-60 remain pending in the present application.

Information Disclosure Statement

The Examiner has objected to the Information Disclosure Statement filed May 16, 2005 alleging that it fails to comply with 37 C.F.R. §1.98(a)(2) which requires a legible copy of each cited foreign patent document; each non-patent literature publication or that portion which cause it to be listed; and all other information or that portion which cause it to be listed. Applicants submit that the Information Disclosure Statement filed May 16, 2005 included copies of each of the references cited in the Form PTO-1449. In addition, abstracts of the non-English language references were also attached. Applicants attach an additional copy of the references and the European Search Report for the Examiner's convenience. A copy of the date

stamped postcard showing the Patent Office's receipt of the Information Disclosure, PTO Form-1449, European Search Report and 4 references is also attached.

Applicants submit that the Information Disclosure Statement was submitted before a Final Office Action and within three months of the date of the European Search Report and, therefore, no fees are due in connection with the Information Disclosure Statement.

Interview Summary

Applicants thank the Examiner for granting the interview conducted on December 14, 2005. In the interview, arguments were presented to overcome the cited references, particularly Yamaguchi. The Examiner indicated that Applicants arguments regarding claim 34 appeared to overcome the Yamaguchi reference. However, the Examiner indicated that further consideration would be required. In this response, Applicants have reiterated the arguments made during the interview.

35 U.S.C. §103 Rejections

Claims 34-52 and 54-60 have been rejected as being unpatentable over Yamaguchi, et al. ("Yamaguchi") in view of Akira, Ochiai, et al. ("Ochiai"), and Michihiko, et al. ("Michihiko"). Applicants have discussed the deficiencies of each of these references in Applicants' previously filed response and reassert all arguments submitted in that response. Applicants respectfully traverse these rejections and provide the following additional remarks.

Claims 34-52 and 54-60 are directed to a method of producing a semiconductor device, including the steps of: forming a plurality of pyramidal electrodes of the semiconductor device; and connecting the pyramidal bump

electrodes to pad electrodes of the semiconductor device. The step of forming the plurality of bump electrodes includes: a step of forming pyramidal etched holes by anisotropically etching a base material having a crystal orientation; and a step of filling up the etched pyramidal holes by plating a metal to form the pyramidal bump electrodes, where the shape of the pyramidal bump electrodes is identical to the etched pyramidal holes.

Regarding claim 34, and as explained during the interview, Applicants submit that none of the cited references, taken alone or in any combination, teach or suggest "a step of filling up the etched pyramidal holes by plating a metal to form the pyramidal bump electrodes, wherein the shape of the pyramidal bump electrodes is identical to a shape of the etched pyramidal holes" as recited in claim 34. As shown in Figs. 7(a)-7(i), and as described on page 17, line 14 to page 20, line 18, the present application discloses the formation of pyramidal bumps, which adapt the same shape as the pyramidal holes. To the contrary, none of the cited references, either alone or in combination, disclose this feature. For example, Yamaguchi discloses the formation of bumps (Figs. 2B and 2C, item 34), where the bumps are ultimately "formed in a pincushion shape" (column 5, lines 5-6). Furthermore, the metal balls used to form the bumps in Yamaguchi "are not completely molten" (column 6, lines 60-66). In this way, the metal balls do not completely melt so as to completely adapt the shape of the disclosed pyramidal holes. This incomplete melting of the metal balls results in the more rounded bumps shown in Fig. 2B, item 34, which ultimately become pincushion-shaped as shown in Fig. 2C, item 34. In addition, as shown in Fig. 2A, a gap D is formed between the plate and the device.

Within this gap, the base of each bump protrudes from the surface of the plate, thereby preventing the bump from adapting the identical shape of the pyramidal holes. Therefore, Yamaguchi does not disclose pyramidal bump electrodes having a shape identical to the shape of the etched pyramidal holes, as claimed. Likewise, Akira, Ochiai and Michihiko, either alone, or in combination with Yamaguchi, do not disclose this feature.

Further regarding claim 34, and as explained in the interview, the method includes a step of filling up the etched pyramidal holes by plating a metal to form the pyramidal bump electrodes. None of the cited references, either alone, or in combination, teach or suggest this feature. For example, as shown in Figs. 2A, 2B, and 2C, Yamaguchi discloses the formation of pincushion-shaped bumps by pushing together a device (item 30) and a plate (item 10), such that the metal balls (items 26) located in the cavities of the plate, are heated, reshaped and transferred to the device (see column 6, lines 60-66 to column 7, lines 1-6). The reshaped bumps are then further heated to form the pincushion-shaped bumps shown in Fig. 2C. As such, Yamaguchi does not disclose filling up the etched pyramidal holes by plating a metal to form pyramidal bump electrodes, as claimed. The Examiner cites column 9, lines 17-20 to support the assertion that Yamaguchi discloses a step of filling up the etched holes by plating a metal to form the pyramidal bump electrodes. However, contrary to the Examiner's assertions, Yamaguchi merely discloses adding a metal layer to a plate to form a replica of the plate. Therefore, Yamaguchi does not disclose a step of filling up the etched pyramidal holes by plating a metal to form the

pyramidal bump electrodes, as claimed. Likewise, Akira, Ochiai and Michihiko, either alone, or in combination with Yamaguchi, do not disclose this feature.

Regarding dependent claims 35-52 and 54-60, Applicants submit that these claims are dependent on independent claim 34, and therefore, are patentable at least for the same reasons discussed previously regarding the independent claim.

Accordingly, Applicants submit that none of the cited references, taken alone or in any proper combination, disclose, suggest, or render obvious the limitations in the combination of each of claims 34-52 and 54-60 of the present application.

Applicants respectfully request that these rejections be withdrawn and that these claims be allowed.

In view of the foregoing amendments and remarks, Applicants submit that claims 34-52 and 54-60 are in condition for allowance. Accordingly, early allowance of such claims is respectfully requested.

Allowable Subject Matter

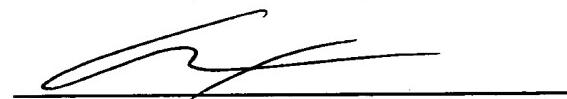
Applicants thank the Examiner for the indication that claim 53 is allowable over the prior art.

To the extent necessary, Applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, or credit any overpayment of fees, to the deposit account of Mattingly, Stanger & Malur, P.C., Deposit Account No. 50-1417 (referencing attorney docket no. 500.38090X00).

Respectfully submitted,

U.S. Application No. 09/462,796

MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.



Carl I. Brundidge
Registration No. 29,021

CIB/sdb
(703) 684-1120

BEST AVAILABLE COPY

500.38090X00

Mattingly, Stanger, Malur & Brundidge, P.C.
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22314
(703) 684-1120

May 16, 2005

In re Patent Application of -

Takayoshi WATANABE et al.

Serial No. 09/462,796

Group Art Unit: 2813

Filed: January 13, 2000

Examiner: T. Nguyen

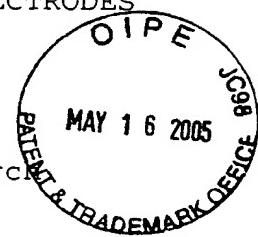
For: METHOD FOR PRODUCING A SEMICONDUCTOR DEVICE WITH
PYRAMIDAL BUMP ELECTRODES BONDED ONTO PAD ELECTRODES
ARRANGED ON A SEMICONDUCTOR CHIP

Papers Filed Herewith:

Extension of Time, Credit Card Authorization (\$1020);
Amendment, copies of Forms 1449 (2); IDS, European Search
Report, 1449, 4 refs

Receipt is hereby acknowledged of the papers filed, as
identified in connection with the above-identified patent
application.

COMMISSIONER OF PATENTS AND TRADEMARKS





P.B.5818 – Patentlaan 2
2280 HV Rijswijk (ZH)
✉ +31 70 340 2040
TX 31651 epo nl
FAX +31 70 340 3016

**Europäisches
Patentamt**

Zweigstelle
in Den Haag
Recherchen-
abteilung

European
Patent Office

Branch at
The Hague
Search
division

Office européen des brevets

Département à
La Haye
Division de la
recherche

Hackney, Nigel John
Mewburn Ellis LLP
York House,
23 Kingsway
London WC2B 6HP
GRANDE BRETAGNE

2. B. L. (L. B. L.)
E. B. (L. B. L.)

Datum/Date

30.03.05

Zeichen / Ref. / Réf. NJH/FP5831821	Anmeldung Nr./Application No./Demande n°./Patent Nr./Patent No./Brevet n°. 98932531.1-1235-JP9803177
Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire Hitachi, Ltd.	

COMMUNICATION

The European Patent Office herewith transmits as an enclosure the European search report for the above-mentioned European patent application.

If applicable, copies of the documents cited in the European search report are attached.

- Additional set(s) of copies of the documents cited in the European search report is (are) enclosed as well.

G1

REFUND OF THE SEARCH FEE

If applicable under Article 10 Rules relating to fees, a separate communication from the Receiving Section on the refund of the search fee will be sent later.





SUPPLEMENTARY
EUROPEAN SEARCH REPORT

DOCUMENTS CONSIDERED TO BE RELEVANT			CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	
X	EP 0 479 373 A (N.V. PHILIPS' GLOEILAMPENFABRIEKEN; PHILIPS ELECTRONICS N.V) 8 April 1992 (1992-04-08) * the whole document * -----	1,6-8, 10,12	H01L21/60 H01L21/3205
X	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 10, 31 October 1997 (1997-10-31) -& JP 09 172021 A (SONY CORP), 30 June 1997 (1997-06-30) * abstract * * paragraph '0019! - paragraph '0033!; figures 1,3-5 * -----	1,3,4,8, 13	
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 05, 30 May 1997 (1997-05-30) -& JP 09 017794 A (NEC CORP), 17 January 1997 (1997-01-17) * abstract * * paragraph '0008! - paragraph '0021!; figures 1,2 * -----	14,15	
P, X	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 11, 30 September 1998 (1998-09-30) -& JP 10 163251 A (NEC CORP), 19 June 1998 (1998-06-19) * abstract * * paragraph '0014! - paragraph '0024! * * paragraph '0033!; figures 1,7-9,19 * -----	1,3,4,8, 10,14,15	TECHNICAL FIELDS SEARCHED (Int.Cl.6) H01L
The supplementary search report has been based on the last set of claims valid and available at the start of the search.			
1	Place of search The Hague	Date of completion of the search 21 March 2005	Examiner Micke, K
CATEGORY OF CITED DOCUMENTS			
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document			
T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document			

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 98 93 2531

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

21-03-2005

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
EP 0479373	A	08-04-1992	NL	9002163 A		06-05-1992
			DE	69115822 D1		08-02-1996
			DE	69115822 T2		01-08-1996
			EP	0479373 A1		08-04-1992
			JP	3137692 B2		26-02-2001
			JP	4234126 A		21-08-1992
			US	5527734 A		18-06-1996
JP 09172021	A	30-06-1997		NONE		
JP 09017794	A	17-01-1997	JP	2735038 B2		02-04-1998
JP 10163251	A	19-06-1998	JP	2933037 B2		09-08-1999



(19) Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Publication number:

0 479 373 A1

(12)

EUROPEAN PATENT APPLICATION

(21) Application number: **91202492.4**

(51) Int. Cl.⁵: **H01L 21/288**

(22) Date of filing: **26.09.91**

(30) Priority: **05.10.90 NL 9002163**

(71) Applicant: **N.V. Philips' Gloeilampenfabrieken
Groenewoudseweg 1
NL-5621 BA Eindhoven(NL)**

(43) Date of publication of application:
08.04.92 Bulletin 92/15

(72) Inventor: **van der Putten, Andreas M.T.P.
c/o INT. OCTROOIBUREAU B.V., Prof.
Holstlaan 6
NL-5656 AA Eindhoven(NL)**

(84) Designated Contracting States:
DE FR GB

(74) Representative: **Weening, Cornelis et al
INTERNATIONAAL OCTROOIBUREAU B.V.
Prof. Holstlaan 6
NL-5656 AA Eindhoven(NL)**

(54) Method of manufacturing a semiconductor device by electroless metallisation.

(57) By using an electroless metallization bath to which a stabilizer is added which suppresses the cathodic partial reaction, pyramid-shaped bumps (53) can be grown on the bond pads of semiconductor devices without lateral overgrowth of the coating layer 3. The angle of inclination α is a function of the concentration of the stabilizer.

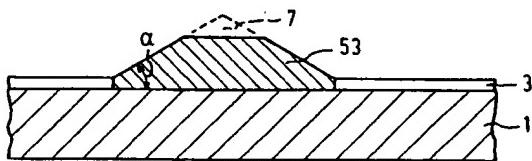


FIG.3

The invention relates to a method of manufacturing a semiconductor device comprising bond pads which, after an activation treatment, are provided with metal bumps in an electroless metallization process.

Wet-chemical processes play an important role in the manufacture of electronic components, both in the removal (etching) and in the deposition of materials (plating). When semiconductor devices (ICs and LSIs) are mounted on a circuit, the bond pads of the semiconductor devices are provided with projecting metal contacts (so-called bumps), after which said bumps are connected to the circuit by bonding, welding, soldering or thermocompression (so-called flip chip principle). By TAB (tape automated bonding) ICs can be provided on a flexible tape comprising circuits.

Such a method is known from European Patent Application EP-A 308971. A semiconductor device comprising aluminium bond pads is first subjected to an activation treatment with an aqueous palladium-salt solution and then provided with nickel bumps. For this purpose, an electroless nickel bath is used.

Such electroless metallization processes are, in principle, isotropic, i.e. the deposition rate of the metal is equal in all directions. In the case of substrates comprising a thin coating layer in which apertures are formed which define the bond pads and which are to be metallized, lateral overgrowth of the coating layer takes place in the metallization process as soon as the metal layer has completely filled the aperture in the coating layer. In the case of semiconductor devices, said coating layer (also termed passivating layer) consists mostly of SiO₂ or Si₃N₄. The metal bumps project from the coating layer and, as a result of lateral overgrowth, partly cover said coating layer. As a result of the increasing miniaturization the risk of a short-circuit between adjacent bumps increases.

One of the objects of the invention is to suppress and even preclude the above-mentioned lateral overgrowth of the coating layer.

According to the invention, this object is achieved by a method as described in the opening paragraph, which method is characterized in that the bumps are provided in the form of a pyramid having flat faces by using an electroless metallization bath to which a stabilizer is added in an effective concentration. Electroless metallization baths contain metal ions and a reducing agent. During the metallization process, reduction of the metal ions to metal (the so-called cathodic partial reaction) and, simultaneously, oxidation of the reducing agent take place. The stabilizer which is added in accordance with the invention has the property that the reduction of the metal ions is suppressed. The presence of such a stabilizer

leads to anisotropic metallization of the bond pads, as a result of which pyramid-shaped bumps having flat faces are formed, while lateral overgrowth of the coating layer is precluded. It is assumed that said anisotropic metallization is caused by differences in mass transport of the stabilizer. The edges of the bond pad to be metallized are subject to a larger mass transport than the centre of the pad. By adjusting the concentration of the stabilizer it becomes possible to poison the edges of the bond pad, so that metallization is precluded at the edges, but continues in the centre of the pad. Continuous metallization leads to a further lateral diffusion of the stabilizer towards the centre of the growing bond pad, as a result of which the growth of the surface area decreases as a function of time. The result is a metal pyramid having flat faces. Faces are to be understood to mean herein the oblique faces and the upper face. Lateral overgrowth of the coating layer does not take place.

An embodiment of the method according to the invention is characterized in that a lead salt is used as the stabilizer. Said lead salt must be dissolvable in the electroless metallization bath. Suitable lead salts are, for example, lead acetate and lead nitrate.

Another suitable embodiment of the method according to the invention is characterized in that a cadmium salt is used as the stabilizer. Suitable cadmium salts are, for example, cadmium acetate and cadmium nitrate.

An embodiment of the method according to the invention is characterized in that the concentration of the stabilizer is 0.1-1.5 mg per litre. Higher concentrations lead to a complete discontinuation of the metallization process. Lower concentrations lead to isotropic growth of the bond pads and, hence, to lateral overgrowth of the coating layer.

A suitable electroless metallization bath is, for example, a nickel bath comprising a nickel salt, succinic acid and hypophosphite in water. Other metals which can be electrolessly deposited are, for example, copper and gold.

If necessary, the metal bumps can be provided with a thin coating of gold, tin, copper or solder. Said materials are more ductile than electroless nickel and enhance the soldering process with the circuit to be connected.

The invention will be explained in greater detail by means of exemplary embodiments and with reference to the drawings, in which

Fig. 1 diagrammatically shows a part of a cross-section of a semiconductor device having bumps obtained by the method according to the state of the art,

Fig. 2 diagrammatically shows a part of a cross-section of a semiconductor device comprising bumps obtained by the method according to the

invention.

Fig. 3 diagrammatically shows a part of a cross-section of a semiconductor device comprising bumps obtained by the method according to the invention, and

Fig. 4 diagrammatically shows a part of a cross-section of a semiconductor device comprising bumps on aluminium bond pads, said bumps being obtained by the method according to the invention.

Exemplary embodiment 1. (not according to the invention)

Fig. 1 diagrammatically shows a part of a cross-section of a semiconductor device, in which reference numeral 1 denotes a n⁺ silicon substrate on which a 0.7 µm thick SiO₂ layer 3 is provided in a customary manner (for example CVD or spin-on-glass). Recesses having dimensions of 100 x 100 µm are lithographically formed in said layer 3. The silicon surface is activated by palladium nuclei by means of an electrochemical exchange reaction in a diluted PdCl₂/HF solution. The activation bath contains per litre 5 mg of PdCl₂, 175 µl of concentrated HCl, 1% of HF and is used at a temperature of 70 °C for 60 seconds. After rinsing with water, the silicon substrate is immersed in an acid electroless nickel bath having the following composition:

0.07 mol/l of nickel sulphate
0.01 mol/l of nickel acetate
0.1 mol/l of succinic acid
0.1 mol/l of H₃PO₂.

Using ammonium hydroxide, the pH-value is adjusted to 4.5. The temperature of the bath is 90 °C. Under these conditions, the deposition rate is 20 µm per hour. The residence time of the silicon substrate in the bath is 20 minutes, so that the nickel layer formed (bump 51) has a thickness of approximately 7 µm. Due to the absence of a stabilizer in the electroless nickel bath, the degree of lateral overgrowth on the SiO₂-layer 3 is comparable to the layer thickness, which is a result of the isotropic character of the metallization process.

Exemplary embodiment 2.

Exemplary embodiment 1 is repeated, with this difference that the electroless nickel bath also contains 0.5 mg/l of lead acetate as the stabilizer. In this case, the nickel bump formed has the shape of a truncated pyramid 52 (Fig. 2) the faces of which are flat. Lateral overgrowth of the SiO₂ coating layer 3 does not take place.

Exemplary embodiment 3.

Exemplary embodiment 1 is repeated, with this difference that 1.5 mg/l of lead acetate is added to the electroless nickel bath. The nickel bump formed has the shape of a truncated pyramid 53 (Fig. 3) having flat faces and the angle of inclination α enclosed by the oblique faces and the silicon substrate 1 being smaller than the angle obtained in accordance with exemplary embodiment 2. If the metallization process is continued (*i.e.* in this case longer than 20 minutes) a pyramid without truncation will be formed (see dotted line 7 in Fig. 3), after which metallization stops. Lateral overgrowth does not take place.

Exemplary embodiment 4.

Exemplary embodiment 1 is repeated with a lead-acetate concentration of 2 mg/l in the electroless nickel bath. In this case, no nickel deposition at all takes place. This is also the case when the lead-acetate concentrations exceed 2 mg/l. At said concentrations, the surface to be metallized is completely poisoned.

Exemplary embodiment 5.

Fig. 4 diagrammatically shows a part of a cross-section of a semiconductor device. Said device comprises a silicon substrate 11, a sputtered aluminium bond pad 15 having a thickness of 0.5 µm and dimensions of 100 x 100 µm. A 0.7 µm thick SiO₂ layer 13 is present on the substrate 11, in which SiO₂ layer an aperture is lithographically formed at the location of the aluminium bond pad 15. The aluminium surface is activated with a zincate solution as described in United States Patent Specification US 4,205,099. The natural oxide skin of the aluminium is removed and replaced by a very thin zinc film (not shown). Subsequently, the zinc is substituted by the nobler nickel in an electroless nickel bath according to exemplary embodiment 1. Lead acetate is added to said nickel bath in a quantity of 1 mg/l. After 20 minutes a nickel bump 54 has formed which has the shape of a truncated pyramid with flat faces and which does not exhibit lateral overgrowth of the SiO₂ coating layer 13.

Claims

50. 1. A method of manufacturing a semiconductor device comprising bond pads which, after an activation treatment, are provided with metal bumps in an electroless metallization process, characterized in that the bumps are provided in the form of a pyramid having flat faces by using an electroless metallization bath to which a stabilizer is added in an effective concentra-

tion.

2. A method as claimed in Claim 1, characterized
in that a lead salt is used as the stabilizer.

5

3. A method as claimed in Claim 1, characterized
in that a cadmium salt is used as the stabilizer.

4. A method as claimed in Claim 2 or 3, char-
acterized in that the concentration of the stabi-
lizer is 0.1-1.5 mg per litre.

10

5. A method as claimed in Claim 1, 2, 3 or 4,
characterized in that a nickel bath is used as
the electroless metallization bath.

15

20

25

30

35

40

45

50

55

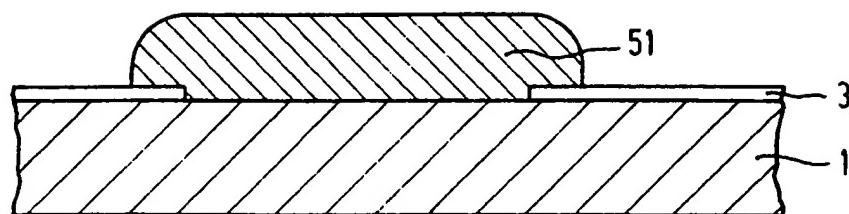


FIG.1

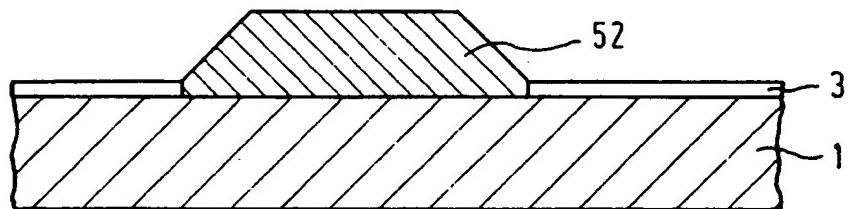


FIG.2

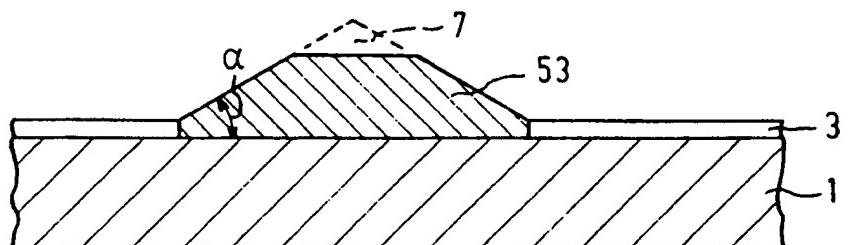


FIG.3

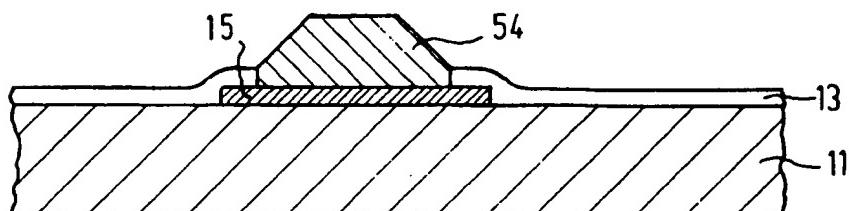


FIG.4



European
Patent Office

EUROPEAN SEARCH
REPORT

Application Number

EP 91 20 2492

DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int. Cl.5)
A	EP-A-0 382 298 (N.V. PHILIPS GLOEILAMPEN-FABRIEKEN) -----		H 01 L 21/288
A	40 TH. ELECTRONIC COMPONENTS & TECHN. CONF. LAS VEGAS 20-23/5/90, PAGES 412-417 J. SIMON ET.AL. "ELECTROLESS DEPOSITION OF BUMPS FOR TAB TECHNOLOGY" -----		
The present search report has been drawn up for all claims			TECHNICAL FIELDS SEARCHED (Int. Cl.5)
			H 01 L
Place of search	Date of completion of search	Examiner	
The Hague	19 December 91	PHEASANT N.J.	
CATEGORY OF CITED DOCUMENTS			
X: particularly relevant if taken alone		E: earlier patent document, but published on, or after the filing date	
Y: particularly relevant if combined with another document of the same category		D: document cited in the application	
A: technological background		L: document cited for other reasons	
O: non-written disclosure		-----	
P: Intermediate document		&: member of the same patent family, corresponding document	
T: theory or principle underlying the invention			

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09172021
PUBLICATION DATE : 30-06-97

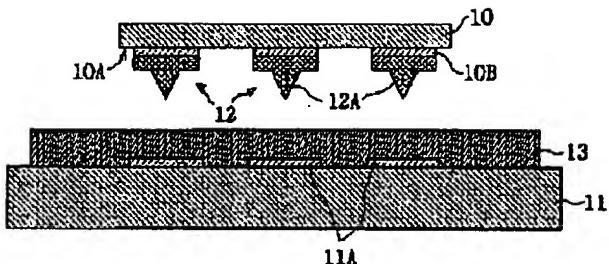
APPLICATION DATE : 19-12-95
APPLICATION NUMBER : 07349355

APPLICANT : SONY CORP;

INVENTOR : OKUHORA AKIHIKO;

INT.CL. : H01L 21/321 H01L 21/60

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD AND
PACKAGING METHOD THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To improve the reliability of the junction of bumps formed on a semiconductor device and corresponding lands on its substrate.

SOLUTION: Specified conductive members are fed to electrodes 10B formed on one face 10A of a semiconductor device 10 and molded like cones 12 on the electrodes. Owing to this, if the pitch of the electrodes 10B of the device 10 is small, each bump 12 thereof can be surely joined to corresponding electrode 11A of the substrate 11 when the device 10 is mounted on the substrate 11 whereby poor connection can be avoided to realize a semiconductor device and manufacturing method and packaging method thereof wherein the reliability of the mounting on the substrate can be improved.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-172021

(43)公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321 21/60	3 1 1		H 01 L 21/92 21/60 21/92	6 0 2 G 3 1 1 S 6 0 4 L

審査請求 未請求 請求項の数8 FD (全7頁)

(21)出願番号	特願平7-349355	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成7年(1995)12月19日	(72)発明者	赤坂 貴志 東京都品川区北品川6丁目7番35号ソニー 株式会社内
		(72)発明者	奥洞 明彦 東京都品川区北品川6丁目7番35号ソニー 株式会社内
		(74)代理人	弁理士 田辺 恵基

(54)【発明の名称】 半導体装置、半導体装置の製造方法及び実装方法

(57)【要約】

【課題】半導体装置上に設けられた各バンプと基板の対応する各ランドとの接合の信頼性が低い問題があつた。
【解決手段】半導体装置(10)の一面(10A)に形成された複数の電極(10B)上にそれぞれ所定の導電部材(12')を供給し、各電極(10B)上にそれぞれ供給された各導電部材(12')を錐形状(12)に成型する。これにより、半導体装置(10)の電極(10B)間ピッチが小さい場合でも、当該半導体装置(10)を基板(11)上に実装した際、半導体装置(10)の各バンプ(12)を基板(11)の対応する電極(11A)に確実に接合させることができるので接続不良を防止することができ、かくして基板上への実装の信頼性を向上し得る半導体装置、当該半導体装置の製造方法及び信頼性を向上し得る実装方法を実現することができる。

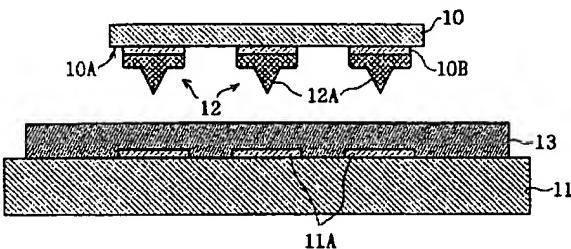


図1 本発明の実施例によるICチップ

【特許請求の範囲】

【請求項1】一面に設けられた複数の電極と、各上記電極上にそれぞれ形成された錐形状のバンプとを具えることを特徴とする半導体装置。

【請求項2】各上記バンプは、金でなることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給する第1の工程と、各上記電極上にそれぞれ供給された各上記導電部材を錐形状に成型する第2の工程とを具えることを特徴とする半導体装置の製造方法。

【請求項4】上記第1の工程では、ボールボンディング法によつて各上記電極上にそれぞれ上記導電部材を供給することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】上記第2の工程では、一面に錐形状の凹部が設けられた治具の上記凹部を上記導電部材に押し当てるにより各上記導電部材を錐形状に成型することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項6】各上記導電部材は、金でなることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項7】一面に複数のバンプが形成された半導体装置の当該一面を、それぞれ上記基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各上記バンプを対応する各上記接合部に接合する工程を経て上記基板上に上記半導体装置を実装する実装方法において、

上記半導体装置の上記一面に形成された各上記電極上にそれぞれ所定の導電部材を供給する第1の工程と、各上記電極上にそれぞれ供給された各上記導電部材を錐形状に成型する第2の工程と、

上記半導体装置を上記絶縁膜上に位置決めしてマウントした後、上記半導体装置を所定の圧力で上記基板に押しつけることにより、各上記導電部材をそれぞれ対応する各上記接合部に圧着する第3の工程とを具えることを特徴とする実装方法。

【請求項8】各上記導電部材は、金でなることを特徴とする請求項7に記載の実装方法。

【発明の詳細な説明】**【0001】**

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術(図6及び図7)

発明が解決しようとする課題(図8)

課題を解決するための手段

発明の実施の形態(図1～図5)

発明の効果

【0002】

【発明の属する技術分野】本発明は半導体装置、半導体

装置の製造方法及び実装方法に関し、例えばベアチップ型のICチップに適用して好適なものである。

【0003】

【従来の技術】近年、電子機器の小型化に伴い、基板への電子部品の高密度実装技術が注目されている。この種の高密度実装技術として、例えばICチップをモールドせずに裸のまま基板上に実装する方法(以下、これをベアチップ実装方法と呼ぶ)が提案され、実施されている。

【0004】実際にこのようなベアチップ実装方法として例えばフリツップチップ実装法があり、このフリツップチップ実装法として例えば異方性導電膜を介してICチップと基板とを直接接続するものがある。この異方性導電膜を用いるフリツップチップ実装法では、以下の手順によりICチップを基板上に実装している。

【0005】すなわち図6(A)に示すように、例えめつき法やボールボンディング法を用いてICチップ1に設けられた各パッド1A上に金(Au)やはんだ等で表面が平坦なバンプ2を形成すると共に、基板3上に形成された各ランド3Aを覆うように異方性導電膜4を所定の厚さに形成する。続いて図6(B)に示すように、ICチップ1のパッド1Aが形成されている回路面1Bを基板3のランド3Aが設けられている回路面3B側に対向させてICチップ1を異方性導電膜4に位置決めしてマウントした後、各バンプ2が異方性導電膜4に埋め込まれるようにICチップ1を所定の圧力で基板3に押し当てるにより、ICチップ1を基板3上に実装する。

【0006】ここで異方性導電膜4は例えばエポキシ樹脂等の樹脂中に5～20〔μm〕程度の導電性粒子(Au等)が分散されてなる導電材料であり、ICチップ1と基板3によって挟み込まれた方向だけに導電性を示すものであり、基板3に平行な方向には導電性を示さないものである。従つて図7に示すように、異方性導電膜4中に存在する導電性粒子4AによってICチップ1及び基板3のそれぞれ対応するバンプ2及びランド3Aが電気的に接合され、これによりICチップ1と基板3とが電気的に接続されるようになされている。

【0007】

【発明が解決しようとする課題】ところで近年、ICの高集積化に伴つてICチップ1上に形成される各パッド1B間のファインピッチ化が急速に進展しており、このような状況において、上述の異方性導電膜4を用いたフリツップチップ実装法によつてICチップ1を基板3上に実装する場合、ファインピッチ化に対応して異方性導電膜4中の導電性粒子4Aの数を増やすなければならぬ。

【0008】ところが異方性導電膜4中の導電性粒子4Aの数が増えると、図8に示すように、ICチップ1の各パッド1B間及び基板3上の各ランド3A間のピッチ

が小さいため、異方性導電膜4中の導電性粒子4Aが隣接するバンプ2間及びランド3A間に跨がつた状態でバンプ2とランド3Aが接合され、この結果電気的にショートするおそれがあつた。

【0009】このような問題を解決する1つの方法として、異方性導電膜4に代えて絶縁膜を用い、ICチップ1を基板3に対して所定の圧力で押し当てて各バンプ2をそれぞれ対応するランド3Aに直接接合させることによりICチップ1と基板3とを電気的に接続する方法が考えられる。ところがこの方法では、バンプ2の表面が平坦であるため各バンプ2によつて絶縁膜を突き破つて各バンプ2を対応する各ランド3Aに接合させるとは困難であり、またバンプ2とランド3A間に絶縁膜が残つて接続不良を起こすおそれがあつた。

【0010】さらにバンプ2の形成方法によつては、パツト1B上に形成された各バンプ2の高さが不均一になり、このような状態でICチップ1を基板3に実装した場合、全てのバンプ2を確実にランド3Aに接合させることができず、接続不良を起こすおそれがあつた。

【0011】本発明は以上の点を考慮してなされたもので、基板上への実装の信頼性を向上し得る半導体装置、当該半導体装置の製造方法及び信頼性を向上し得る実装方法を提案しようとするものである。

【0012】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、半導体装置は、当該半導体装置の一面に設けられた複数の電極と、当該各電極上にそれぞれ形成された錐形状のバンプとを有する。

【0013】また第2の発明においては、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型する。

【0014】さらに第3の発明においては、一面に複数のバンプが形成された半導体装置の当該一面を、それぞれ基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各バンプを対応する各接合部に接合する工程を経て基板上に半導体装置を実装する実装方法において、半導体装置の一面に形成された各電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけることにより、各導電部材をそれぞれ対応する各接合部に圧着する。

【0015】第1の発明においては、半導体装置の各電極上にそれぞれ形成された各バンプが錐形状であるので、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0016】第2の発明においては、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型したことにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0017】第3の発明においては、半導体装置の各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけて、各導電部材をそれぞれ対応する各接合部に圧着することにより、各導電部材を基板の対応する電極に確実に接合させることができるので、接続不良を確実に防止することができる。

【0018】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0019】図1において、10は全体として実施例によるペアチップ型のICチップを示し、基板11との対向面10A上に当該ICチップ10と基板11とを接合する例えばAuでなるバンプ12が、ICチップ10の対向面10Aに設けられた各パツド10B上にそれぞれほぼ同じ高さでほぼ円錐形状に形成されている。すなわちこのICチップ10は、当該ICチップ10を基板11上に実装した際、各パツド10B上にそれぞれ形成された各バンプ12が、基板11の対応するランド11Aとそれ直接接合することにより基板11上に実装され得るようになされている。

【0020】この場合、図2に示すように、各バンプ12は全体としてほぼ円錐形状に形成されており、ICチップ10を基板11上に実装した際、各バンプ12の円錐部12Aが基板11の対応する各ランド11Aを覆うように形成された絶縁膜13を突き破ることにより、基板11上の対応するランド11Aにそれぞれ接合し得るようになされている。

【0021】実際にこのICチップ10は、以下の工程により製造することができる。すなわちまずICチップ10上に設けられた各パツド10B上にボールボンディング法によつてAuでなる導電部材12'を供給(図3(A))した後、先端部20Aに円錐形状の凹部20Bが設けられたセラミツクスであるバンプ成型装置20(図4(A))を導電部材12'の真上から導電部材12'に近接する方向に降下移動させて(図3(B))、バンプ成型装置20の凹部20Bを導電部材12'に所定の圧力で押し当てる(図3(C))。その後バンプ成型装置20を導電部材12'から離反する方向に上昇させる(図3(D))。

【0022】ここで図4(A)に示すように、バンプ成

型装置20には駆動部21が設けられており、バンプ成型装置20は駆動部21の制御に基づいて、導電部材12'の突起部12A'がバンプ成型装置20の凹部20B内に嵌め込まれるように位置決めされるようになされている。この場合、各導電部材12'はボールボンディング法によって形成されることにより、図3(A)に示すように突起部12A'が形成され、しかも導電部材12'として展延性に優れたAuを用いているので、バンプ成型装置20によって突起部12A'を容易に円錐部12Aに成型し得る。

【0023】従つてバンプ成型装置20の凹部20Bを各導電部材12'に所定の圧力で押し当てることにより、導電部材12'の突起部12A'をバンプ成型装置20の凹部20Bに応じた円錐形状の円錐部12Aを有するバンプ12に成型することができると共に、各バンプ12の高さをほぼ同じ高さに形成することができる。かくして図1に示すようなほぼ同じ高さで円錐形状であるバンプ12を有するICチップ10を製造することができる。

【0024】以上の構成において、このICチップ10は、以下の工程により基板11上に実装することができる。すなわちまず図5(A)に示すように、ICチップ10の回路面10A側を基板11の絶縁膜13側に対向させてICチップ10を絶縁膜13上に位置決めしてマウントした後、ICチップ10を例えば1バンプ当たり20g/F～50g/Fの圧力で基板11に押しつける。

【0025】この場合、図5(B)に示すように、このICチップ10は、各バンプ12の円錐部12Aが絶縁膜13を突き破つて対応するランド11Aにそれぞれ当接した後、図5(C)に示すように、対応する各ランド11Aの表面にならつてほぼ平坦に変形されて対応するランド11Aと面接触し、これによりICチップ10と基板11とが接続される。

【0026】従つてこのICチップ10では、円錐形状であるバンプ12によって絶縁膜13を突き破ることができるので、各バンプ12を基板11の対応するランド11Bにそれぞれ直接接合させることができ、これにより、ICチップ10のパッド10B間のピッチが小さい場合でも、ICチップ10を基板11上に実装した際、各パッド12を基板11の対応する各ランド11A上に確実に接合させることができるので、接続不良を確実に回避することができる。

【0027】また円錐形状であるバンプ12によって絶縁膜13を突き破ることができるので各バンプ12と各ランド11Aとの間に絶縁膜13が残ることを防止することができ、これにより接続不良を回避することができる。さらにICチップ10の各バンプ10Bと基板11の各ランド11Aとを面接触させることができるので、各バンプ10Bとランド11Aとの接合の信頼性を一段と向上させることができる。

【0028】さらにバンプ12を円錐状に成型したことにより、各ランド11Aが絶縁膜13で覆われた基板11に適用し得るので、従来のように異方性導電膜4で覆われた基板3に比して、ICチップが基板に実装された実装基板の製造コストを低減することができる。さらにICチップ10の各パッド10B上にバンプ成型装置20を用いて円錐形状のバンプ12を形成したことにより、ICチップ10の各パッド10B上にほぼ同じ高さを有するバンプ12を形成し得るので、ICチップ10の各パッドと基板11の対応するランド11Aとを一段と確実に接合することができる。

【0029】以上の構成によれば、ICチップ10の各パッド12上にボールボンディング法によって展延性に優れたAuでなる導電部材12'を供給し、バンプ成型装置20の凹部20Bを各導電部材12'の突起部12A'に押し当てて各導電部材12'をほぼ同じ高さの円錐形状でなるバンプ12に成型することにより、ICチップ10のパッド10B間のピッチが小さい場合でも、ICチップ10を基板11に実装した際、ICチップ10の各バンプ12を基板11の対応する各ランド11Aに確実に接合させることができるので接続不良を確実に防止し得、かくして基板11上への実装の信頼性を向上し得るICチップ10と、基板11上への実装の信頼性を向上し得るICチップ10の製造方法と、信頼性を向上し得る実装方法とを実現することができる。

【0030】なお上述の実施例においては、円錐形状の凹部20Bを有するバンプ成型装置20を用いて、バンプ成型装置20の当該凹部20Bを導電部材12'の突起部12A'に押し当てることにより各導電部材12'の突起部12A'を円錐形状に成型して円錐部12Aを有するバンプ12に成型した場合について述べたが、本発明はこれに限らず、図4(B)に示すように、先端部30Aに四角錐状の凹部30Bを有するバンプ成型装置30を用いて、バンプ成型装置30の当該凹部30Bを導電部材12'の突起部12A'に押し当てることにより各導電部材12'の突起部12A'を四角錐形状に成型して四角錐部を有するバンプ12に成型してもよい。

【0031】この場合、バンプ成型装置30は、駆動部31の制御に基づいて導電部材12'の突起部12A'がバンプ成型装置30の凹部30B内に嵌め込まれるように位置決めする。

【0032】また上述の実施例においては、加工性に優れたセラミックスでなるバンプ成型装置20を用いた場合について述べたが、本発明はこれに限らず、ステンレスや鉄等、要はバンプ12に用いる材料より硬いものであればこの他種々の材料でなるバンプ成型装置を用いてもよい。さらに上述の実施例においては、ICチップ10の各パッド10B上にそれぞれ供給された各導電部材12'をほぼ円錐形状のバンプ12に成型した場合について述べたが、本発明はこれに限らず、三角錐形状や四

角錐形状等、要は錐形状であればこの他種々の錐形状に形成してもよい。この場合、バンプ成型装置の凹部を所望の錐形状に合わせて作成する。

【0033】さらに上述の実施例においては、ICチップ10の回路面10A上に形成された各パッド10B上に供給する導電部材としてAuを用いた場合について述べたが、本発明はこれに限らず、ICチップ10の回路面10A上に形成された各パッド10B上に供給する導電部材として、Auにパラジウムを混ぜたものやはんだ等、要は錐形状に形成し易い展延性に優れたものであればこの他種々の導電部材を各パッド10B上に供給してもよい。

【0034】さらに上述の実施例においては、ICチップ10を1バンプ当たり20g/F～50g/Fの圧力で基板11に押しつけた場合について述べたが、本発明はこれに限らず、要は各バンプ12が絶縁膜13を突き破つて基板11の対応する各ランド11Aに接合させることができれば、この他種々の圧力値でICチップ10を基板11に押しつけるようにしてもよい。

【0035】さらに上述の実施例においては、半導体装置としてペアチップ型のICチップ10に本発明を適用した場合について述べたが、本発明はこれに限らず、半導体装置としてこの他種々の半導体装置に適用し得る。さらに上述の実施例においては、ボールボンディング法によつてICチップ10の各パッド10B上にそれぞれAuでなる導電部材12'を供給した場合について述べたが、本発明はこれに限らず、ICチップ10の各パッド10B上にそれぞれ導電部材を供給する方法としては、この他種々の方法を適用し得る。

【0036】

【発明の効果】上述のように第1の発明によれば、半導体装置は、その一面に設けられた複数の電極と、当該各電極上に錐形状に成型されたバンプとを有することにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することができ、かくして基板への実装の信頼性を向上し得る半導体装置を実現することができる。

【0037】また第2の発明によれば、半導体装置の一面に形成された複数の電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型することにより、当該半導体装置の電極間ピッチが小さい場合でも、半導体装置を基板上に実装した際、各バンプを基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することができる。

き、かくして基板への実装の信頼性を向上し得る半導体装置の製造方法を実現することができる。

【0038】さらに第3の発明においては、一面に複数のバンプが形成された半導体装置の当該一面を、それぞれ基板上に設けられた対応する接合部を覆うように形成された絶縁膜に押しつけることにより、各バンプを対応する各接合部に接合する工程を経て基板上に半導体装置を実装する実装方法において、半導体装置の一面に形成された各電極上にそれぞれ所定の導電部材を供給し、各電極上にそれぞれ供給された各導電部材を錐形状に成型し、半導体装置を絶縁膜上に位置決めしてマウントした後、半導体装置を所定の圧力で基板に押しつけて、各導電部材をそれぞれ対応する各接合部に圧着することにより、半導体装置及び基板の電極間ピッチが小さい場合でも各導電部材を基板の対応する電極に確実に接合させることができるので接続不良を確実に防止することができ、かくして信頼性を向上し得る実装方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるICチップの構成を示す略線的断面図である。

【図2】本発明の実施例によるバンプの形状の説明に供する断面図である。

【図3】本発明の実施例によるICチップの製造工程を示す略線的断面図である。

【図4】バンプ成型装置の概略構成を示す略線的断面図である。

【図5】ICチップの基板への実装工程を示す略線的断面図である。

【図6】従来の異方性導電膜を用いたフリップチップ実装によるICチップの基板への実装工程を示す略線的断面図である。

【図7】従来の異方性導電膜を用いたフリップチップ実装におけるバンプとランドの接続状態の説明に供する略線的断面図である。

【図8】ファインピッチ化による電気的ショートの説明に供する略線的断面図である。

【符号の説明】

1、10……ICチップ、1A、10B……パッド、1B、3B、10A、11B……回路面、2、12……バンプ、3、11……基板、3A、11A……ランド、4……異方性導電膜、12'……導電部材、13……絶縁膜、20、30……バンプ成型装置、20A、30A……バンプ成型装置の先端部、20B……円錐形状の凹部、30B……四角錐形状の凹部。

【図1】

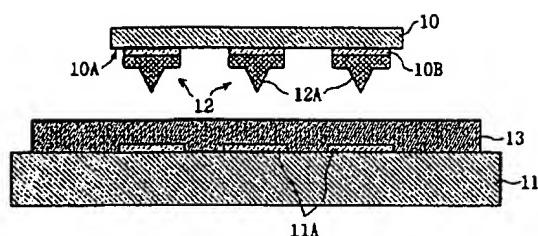


図1 本発明の実施例によるICチップ

【図2】

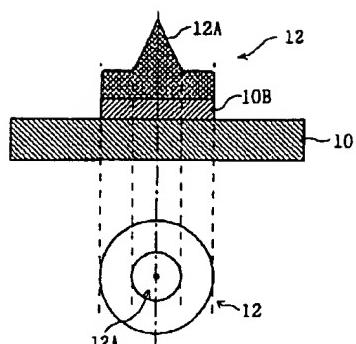


図2 実施例によるバンプの形状

【図3】

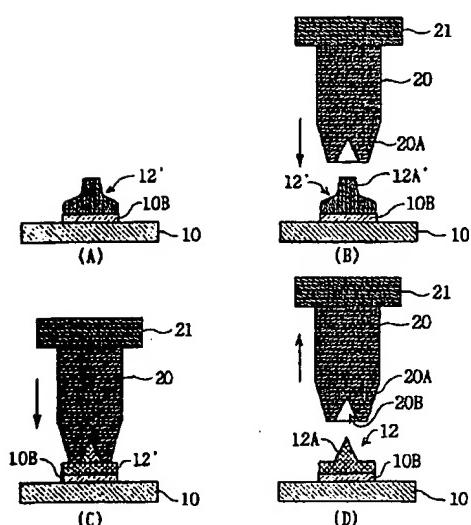


図3 ICチップの製造工程

【図4】

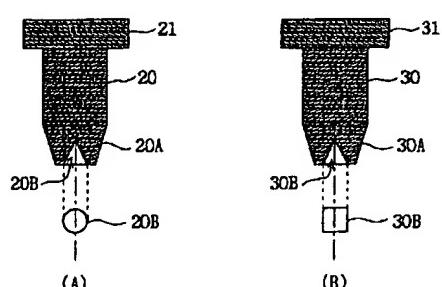


図4 バンプ成型装置の構成

【図8】

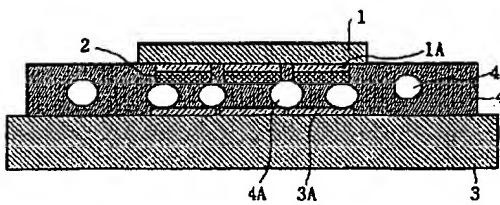


図8 フайнピッチ化による電気的ショート

【図7】

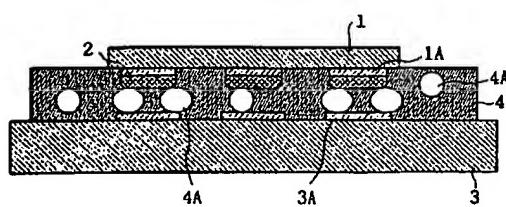
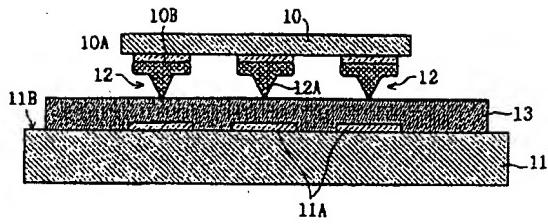
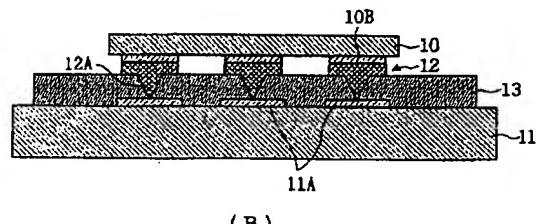


図7 バンプとランドの接続状態

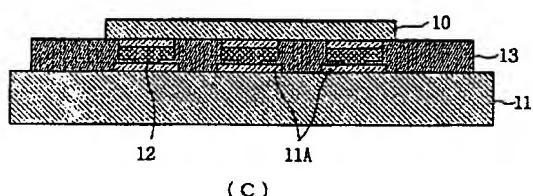
【図5】



(A)



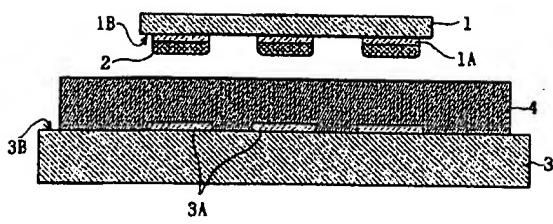
(B)



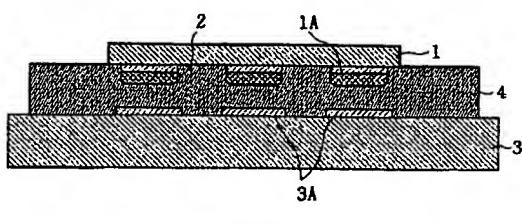
(C)

図5 ICチップの基板への実装工程

【図6】



(A)



(B)

図6 異方性導電膜を用いたフリップチップ実装による
ICチップの基板への実装工程

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

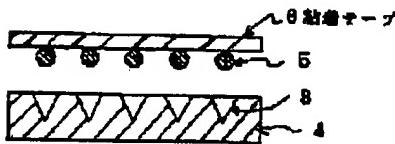
PUBLICATION NUMBER : 09017794
 PUBLICATION DATE : 17-01-97

(a)



APPLICATION DATE : 30-06-95
 APPLICATION NUMBER : 07165562

(b)



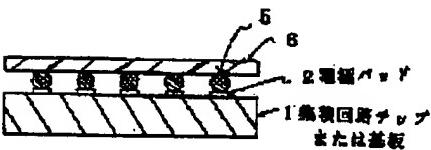
APPLICANT : NEC CORP;

INVENTOR : SHIMADA YUZO;

INT.CL. : H01L 21/321 B23K 1/00 H01L 21/60 //
 B23K101:40

(c)

TITLE : BUMP FORMING METHOD



(d)



ABSTRACT : PURPOSE: To enable small bumps to be collectively formed with a high yield at a low cost and arranged at a fine pitch through a simple process by the use of solder balls.

CONSTITUTION: Solder balls 5 are transferred onto the electrode pads 2 of an integrated circuit chip or a board 1 through the intermediary of an adhesive tape 6 by the use of a silicon template 4 where pits 3 of uniform shape are provided through an anisotropic etching technique and turned into solder bumps 7 by reflow. By this bump forming method, bumps arranged at a fine pitch can be collectively formed through a simple process and consequently lessened in cost.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17794

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321			H 01 L 21/92	604 F
B 23 K 1/00	330		B 23 K 1/00	330 E
H 01 L 21/60	311		H 01 L 21/60	311 Q
// B 23 K 101:40				311 S
			H 01 L 21/92	602 N
審査請求 有 請求項の数 5 O L (全 5 頁) 最終頁に続く				

(21)出願番号 特願平7-165562

(22)出願日 平成7年(1995)6月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 信明

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 仙波 直治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 小橋 広志

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 菅野 中

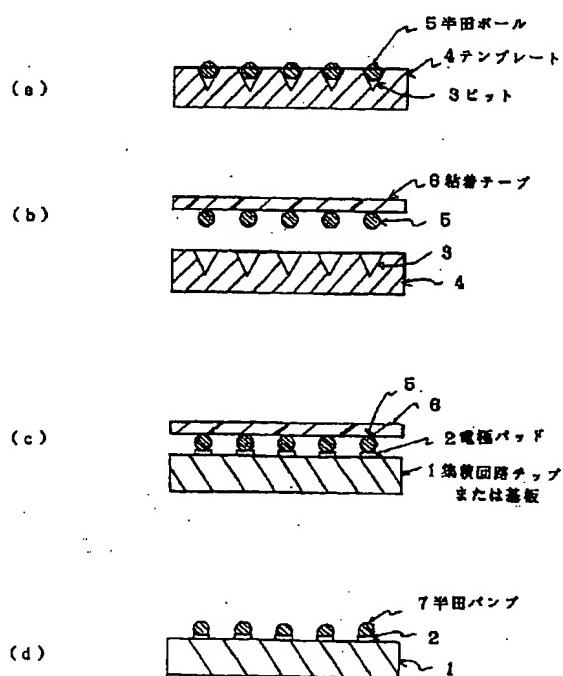
最終頁に続く

(54)【発明の名称】 バンプ形成方法

(57)【要約】

【目的】 フайнピッチで微少なバンプを、半田ボールを用いた簡単なプロセスで、一括で歩留りよく低コストに形成する。

【構成】 異方性エッティング技術により形成した、ピット3の形状の均一なシリコン製テンプレート4を用いて、集積回路チップまたは基板1に電極パッド2に、粘着テープ6を介して半田ボール5を転写し、リフローにより半田バンプ7を形成する。このようなバンプの形成方法とすることにより、多ビン、ファインピッチのバンプを一括して簡単なプロセスで形成することができる。また、それに伴い、コストの低減が図れる。



【特許請求の範囲】

【請求項1】 テンプレート上に形成されたピットに半田ボールを載置してピットにより半田ボールを整列させ、

テンプレート上に整列された半田ボールをボードの電極パッドに転写してリフローにより半田バンプを形成することを特徴とするバンプ形成方法。

【請求項2】 前記半田ボールは、粘着テープに転写した後にボードの電極パッドに転写することを特徴とする請求項1に記載のバンプ形成方法。

【請求項3】 前記半田ボールは、ボードの電極パッドを半田ボールに位置合わせて直接電極パッドに転写することを特徴とする請求項1に記載のバンプ形成方法。

【請求項4】 前記テンプレートとしてシリコン製の板を用い、

シリコン製テンプレートに異方性エッティング技術によりファインピッチの微少なピットを形成することを特徴とする請求項1に記載のバンプ形成方法。

【請求項5】 エッティング面は、シリコン製テンプレートの(100)面であることを特徴とする請求項4に記載のバンプ形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路チップの実装方法に関し、特にペアチップ又はパッケージと基板とのフェイスダウン接続における導電ボールを用いたバンプの形成方法に関する。

【0002】

【従来の技術】従来の、導電性を有するボールを用いたバンプの形成方法は図4に示すように、まず集積回路チップ又は基板1上に設けられている電極パッド2に、フラックス又は半田ペースト12等を印刷法、ディスペンサー等により盛り上げて形成する。次に集積回路チップ又は基板1の電極パッド2のパターンと同一パターンに開孔してある半田ボールマスク13を位置合わせし、半田ボールマスク13の開孔を通して半田ボール5を電極パッド2上に配置させる。このとき半田ボール5は、フラックス又は半田ペースト12の粘着力により仮固定される。その後、半田ボールマスク13を取り去り、半田ボール5を加熱、溶融させることにより、半田バンプを形成していた。

【0003】他の従来技術として特開平5-129374号公報に開示されたバンプの形成方法は図5に示すように、半田ボール5を真空吸着する半田ボール吸着ヘッド14の下面には半田ボールマスク13を設け、半田ボール5を半田ボールマスク13の開孔部15に真空吸着してこれらを電極パッド2に位置合わせし、半田ボール5の真空吸着を解除して半田ボールマスク13から半田ボール5を電極パッド2のフラックス16上に配置し、さらにホットプレート等を利用して、半田ボール5を溶

融して半田バンプを形成していた。

【0004】さらに他の従来技術として特開平4-242943号公報に開示されたバンプの形成方法は、図6に示すように非半田濡れ性で良好な熱伝導性および剛性を有するアルミニウムやセラミック材料等からなるテンプレート17に配設した円錐状凹部18内に所定の形状の半田ボール5をセットし、この状態でリフロソルダーリング法により半田ボール5を円錐状凹部18内で溶融させ、これを半導体装置19に設けられているバンプ電極20に転写し、バンプ電極を形成していた。

【0005】

【発明が解決しようとする課題】図示した従来のバンプ形成方法では、半田ボールマスク13の貫通孔、テンプレート17の円錐状凹部18を機械加工やレーザー等で形成する必要があるが、このような方法では、例えば貫通孔や円錐状凹部を $100\mu m$ 程度あるいはそれ以下のファインピッチで加工する場合、或いは1000個或いはそれ以上の貫通孔、凹部を形成する場合、ドリル等の治具の寸法精度、加工精度、加工制御技術等が十分でないため、均一形状の貫通孔や凹部を形成するのは困難であった。

【0006】ピッチが狭くなり、使用する半田ボールのサイズが小さくなるほど、また貫通孔や凹部の数が増えるほど、形状の均一性が重要となる。形状の均一性が悪いと、バンプ形成時に、位置ずれ、未転写等の不良が発生する確率が高くなる。また貫通孔、凹部を1個ずつ形成するため、時間とコストがかかるという問題があった。

【0007】本発明の目的は、ファインピッチで微小なバンプを、半田ボールを用いた簡単なプロセスにより歩留りよく形成するバンプ形成方法を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明に係るバンプ形成方法は、テンプレート上に形成されたピットに半田ボールを載置してピットにより半田ボールを整列させ、テンプレート上に整列された半田ボールをボードの電極パッドに転写してリフローにより半田バンプを形成するものである。

【0009】また前記半田ボールは、粘着テープに転写した後にボードの電極パッドに転写するものである。

【0010】また前記半田ボールは、ボードの電極パッドを半田ボールに位置合わせて直接電極パッドに転写するものである。

【0011】また前記テンプレートとしてシリコン製の板を用い、シリコン製テンプレートに異方性エッティング技術によりファインピッチの微少なピットを形成するものである。

【0012】またエッティング面は、シリコン製テンプレートの(100)面である。

【0013】

【作用】テンプレート上に半田ボールを整列させ、この半田ボールを電極パッド上に転写し、熱を加えて半田バンプを形成する。

【0014】

【実施例】以下、本発明の実施例を図により説明する。

【0015】(実施例1) 図1は本発明の実施例1を製造工程順に示す断面図である。

【0016】図において本発明に係るバンプ形成方法は基本的構成方法として、テンプレート4上に形成されたピット3に半田ボール5、5……を載置して半田ボール5をテンプレート4上に整列させ、テンプレート4上に整列された半田ボール5を集積回路チップ或いは基板等(以下、ボードという)1の電極パッド2に転写してリフローにより半田バンプ7を形成するものである。

【0017】次に本発明を具体例を用いて説明する。テンプレート4としてシリコン製の板を用い、シリコン製テンプレート4に異方性エッティングの技術を用いて、ボード1上の電極パッド2のパターンに対応するパターンでピット3を形成する。

【0018】ここで、異方性エッティング技術によるピット形成について図2に示す異方性エッティング技術によるピット形成方法を参考して説明する。まず図2(a)に示すようにシリコンウェーハ9にシリコン酸化膜10を形成し、(b)に示すようにシリコン酸化膜10上にレジスト11を塗布した後、フォトリソグラフィー(以下、PRという)技術により所望のパターンに開口部11aを形成する。次に(c)に示すように弗酸等を用い、開口部11a真下のシリコン酸化膜10をエッティング除去し、レジスト11を剥離する。次に(d)に示すように水酸化カリウム等を用い、シリコン酸化膜10の開口部11a真下のシリコンをエッティングし、ピット3を形成する。このとき、結晶面の(111)面が現れるようにエッティングが進行する。特に表面が(100)面であるシリコンウェーハを用いた場合、上記の異方性エッティングを施すと、頂角が70.6度である正四角錐形状のピットが形成される。または、途中でエッティングを止めることにより、ピット3の深さを制御することができる。PR技術を用いているため、この方法で形成したピット3の形状は、サイズのばらつきがほとんど無く、非常に均一になる。

【0019】図1(a)に示すように、図2に示したシリコン製テンプレート4のピット3に半田ボール5を配置して半田ボール5をテンプレート4上に整列させる。半田ボール5の組成は例えばPb/Sn=37/63wt.%等である。また半田ボール5の内部に金属や樹脂からなる核があつても良い。またテンプレート4を振動機等を用いて振動させることにより、テンプレート4上に半田ボール5を効率良く配列させることができる。

【0020】次に図1(b)に示すように高耐熱性の粘

着テープ6でテンプレート4の表面を覆い、粘着テープ6の粘着面に半田ボール5を転写する。

【0021】次に図1(c)に示すようにパターン状に粘着テープ6に接着配置された半田ボール5と、集積回路チップ又は基板1上の電極パッド2とを位置合わせし、半田ボール5を電極パッド2に転写する。このとき電極パッド2にあらかじめフラックスを塗布しておき、半田の融点以上まで加熱し、溶融することにより、半田ボール5を転写すると同時に、(d)に示すように電極パッド2上に半田ボール5からなる半田バンプ7を一括して形成する。その後粘着テープ6を剥離する。

【0022】以上のように異方性エッティングにより形成したシリコン製テンプレートを用い、粘着テープを介して転写を行っているため、多ピン、ファインピッチのバンプを一括して簡単なプロセスで形成することができ、それに伴ってコストの低減が図れる。

【0023】(実施例2) 図3は本発明の実施例2を製造工程順に示す断面図である。実施例1と同様にシリコン製テンプレート4に半田ボール5を配列させ、あらかじめフラックスを塗布したボード1の電極パッド2と、シリコン製テンプレート4上の半田ボール5とを位置合わせし(図3(a))、半田の融点以上に加熱、溶融しながら電極パッド2に半田ボール5を転写すると同時に、半田ボール5からなる半田バンプ7を一括に形成する。

【0024】以上のように異方性エッティングにより形成したシリコン製テンプレート4を用いて、ボード1に半田ボール5を直接転写しているため、多ピン、ファインピッチのバンプを一括して簡単なプロセスで形成することができる。特に集積回路チップ又は基板1がシリコン製である場合は、その熱膨張係数が一致するため、ファインパターンやサイズが大きい場合でも、加熱、膨張による部分的な位置ずれが生じることなく、歩留りの高いバンプ形成を行うことができ、それに伴いコスト低減が図れる。

【0025】

【発明の効果】以上説明したように本発明は、異方性エッティング技術により形成したシリコン製テンプレートを用いて、集積回路チップ又は基板に、粘着テープを介し、又は直接半田ボールを転写し、それと同時に半田を溶融して半田バンプを形成しているため、多ピン、ファインピッチのバンプを一括して簡単なプロセスで形成することができ、それに伴ってコストの低減を図ることができる。

【0026】また異方性エッティング技術によりシリコンウェーハにピットを形成すると、 $100\mu m$ 以下のファインピッチで、1000ピン以上の多ピンにおいても、均一形状のピットパターンを形成することができる。

【0027】特にシリコン製テンプレートと同材料であるシリコン製集積回路チップ又は基板に、直接半田ボ-

ルを転写し、溶融して半田バンプを形成する場合、熱膨張係数が完全に一致するため、位置ずれ等が発生せず歩留りの良いバンプ形成を行うことができ、コスト低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例1を製造工程順に示す断面図である。

【図2】本発明において異方性エッティング技術によるピットの形成方法を製造工程順に示す断面図である。

【図3】本発明の実施例2を製造工程順に示す断面図である。

【図4】従来技術に係るバンプの形成方法を示す断面図である。

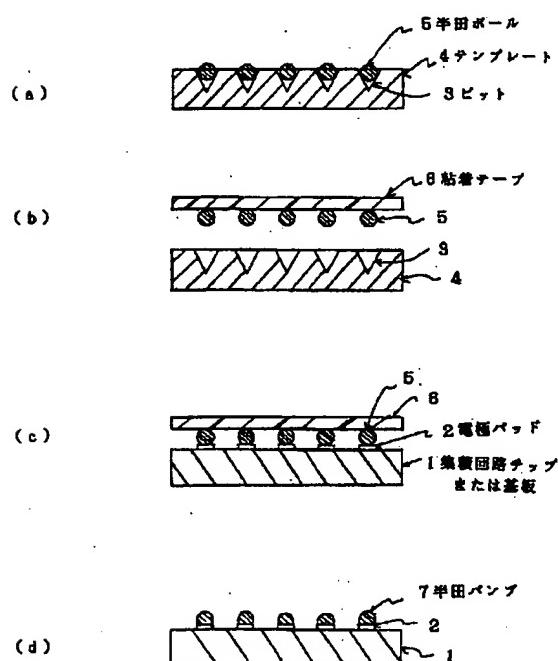
【図5】従来技術に係るバンプの形成方法を示す断面図である。

【図6】従来技術に係るバンプの形成方法を示す断面図である。

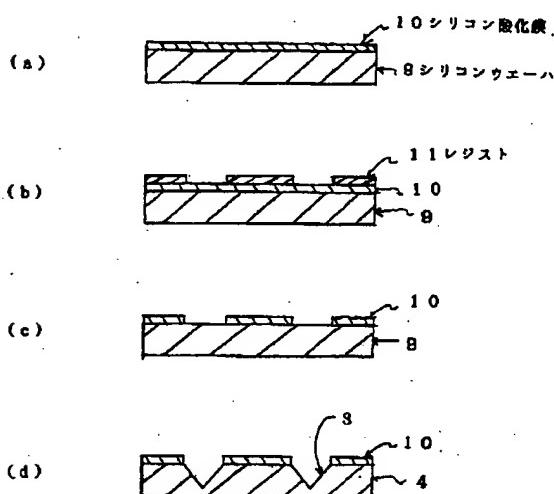
【符号の説明】

- 1 集積回路チップまたは基板（ボード）
- 2 電極パッド
- 3 ピット
- 4 シリコン製テンプレート
- 5 半田ボール
- 6 粘着テープ
- 7 半田バンプ

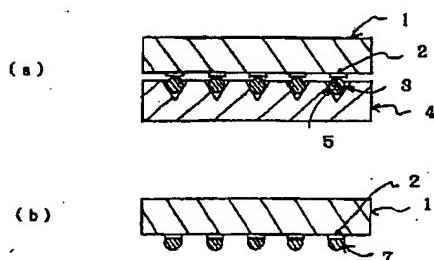
【図1】



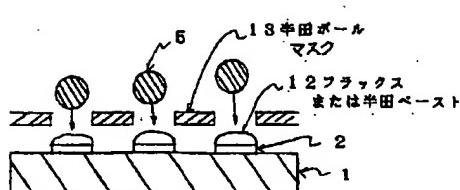
【図2】



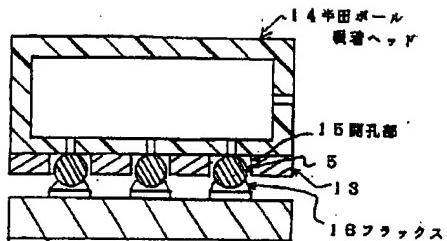
【図3】



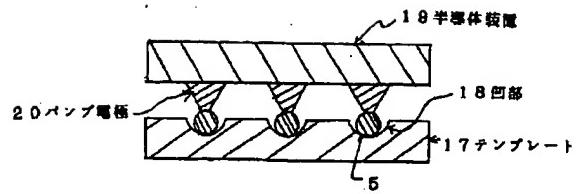
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/92

604H

(72) 発明者 嶋田 勇三

東京都港区芝五丁目7番1号 日本電気株
式会社内

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10163251
PUBLICATION DATE : 19-06-98

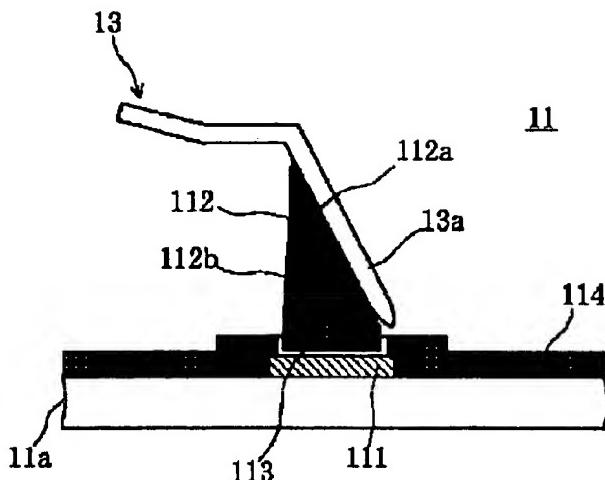
APPLICATION DATE : 03-12-96
APPLICATION NUMBER : 08322740

APPLICANT : NEC CORP;

INVENTOR : KAWAHARA HISATERU;

INT.CL. : H01L 21/60 H01L 21/66

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce the size of a semiconductor chip while maintaining the connection strength between each inner lead and a bump.

SOLUTION: A bump 112 is formed on each pad 111 of a semiconductor chip 11, and an inner lead 13a is connected to the bonding surface 112a of each bump 112. Since the bonding surface 112a is inclined by an angle of approximately sixty degrees to the surface of the semiconductor chip 11, it becomes possible to be nearly half of the occupying area of each bump 112 on the semiconductor chip 11. Accordingly, it is possible to reduce the size of the semiconductor chip 11 itself, maintaining the connection strength between each inner lead 13a and a bump 112. Besides, each bump 112 has a probing surface 112b to be brought into contact with a probe for testing an electric performance, on the rear side to the bonding surface 112a, so it is possible to prevent the bonding surface 112a from being roughed by being touched by probes.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163251

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁶

H 01 L 21/60
21/66

識別記号

3 1 1

F I

H 01 L 21/60
21/66

3 1 1 R
E

審査請求 有 請求項の数 8 O L (全 12 頁)

(21)出願番号 特願平8-322740

(22)出願日 平成8年(1996)12月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川原 久輝

東京都港区芝五丁目7番1号 日本電気株
式会社内

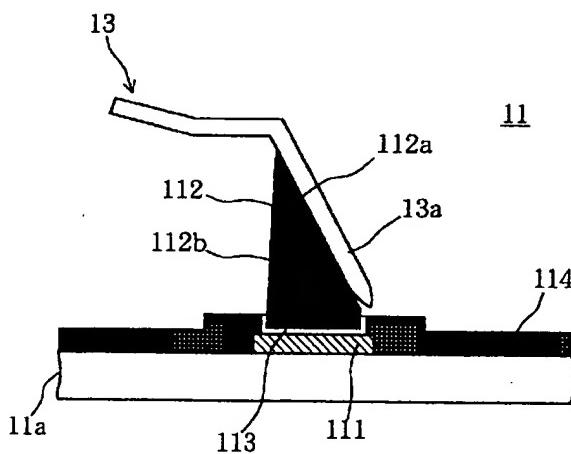
(74)代理人 弁理士 西村 征生

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 インナリード・バンプ間の接続強度を維持しつつ、半導体チップを小型化する。

【解決手段】 半導体チップ11の各パッド111上にはバンプ112が形成され、各バンプ112のポンディング面112aには、インナリード13aが接続されている。ポンディング面112aは、半導体チップ11の表面に対して約60度の角度で傾斜しているので、半導体チップ11上の各バンプ112の占有面積は略半分で済む。それ故、インナリード13a・バンプ112間の接続強度を維持しつつ、半導体チップ11自体のサイズを小型化することができる。また、各バンプ112は、電気的性能を試験するためにプローブを当接するプローピング面112bを、ポンディング面112aに背面している側に有しており、ポンディング面112aにプローブが当接されて表面が荒らされることがない。



【特許請求の範囲】

【請求項1】 半導体基板の表面にパッドを介してバンプが突隆状態に設けられ、該バンプを介してインナリードが前記半導体基板に電気的に接続されてなる半導体装置であつて、

前記インナリードは前記バンプの傾斜面にボンディングされていることを特徴とする半導体装置。

【請求項2】 前記インナリードがボンディングされる前記バンプの傾斜面は、前記半導体基板の最寄りの縁端側から見て前記バンプの背面に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板の最寄りの縁端側から見て前記バンプの正面には、前記インナリードはボンディングされていないことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記半導体基板の最寄りの縁端に略垂直な面で切断した前記バンプの断面形状は、先細りの多角形であることを特徴とする請求項1, 2又は3記載の半導体装置。

【請求項5】 前記半導体基板の表面から突隆する前記バンプの前記傾斜面の傾斜角は30度以上70度以下であることを特徴とする請求項1, 2, 3又は4記載の半導体装置。

【請求項6】 請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であつて、

前記バンプに加工されることとなる突隆状のバンプ成形用部材を表面に有し、所定の半導体回路が形成されてなる半導体基板を用意し、前記バンプ成形用部材の所定の稜線部に対して等方性エッティングを行うことにより、該稜線部を削り取って前記傾斜面を有するバンプを形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であつて、型用基板をエッティングすることにより、前記バンプの外形寸法に略対応した凹部を前記型用基板に形成し、前記凹部にバンプ成形用金属を堆積させ、前記凹部に前記バンプ成形用金属が堆積した前記型用基板と、所定の半導体回路が形成されてなる半導体基板とを、前記凹部に堆積した前記バンプ成形用金属と、対応する前記半導体基板のパッドとが接着するように張り合わせた後、前記型用基板を取り除くことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であつて、

前記バンプの外形寸法と略同一の外形寸法の凸部を底部に有する雄型容器を用意し、該雄型容器に熱硬化性樹脂組成物を流し込み、加熱硬化させて凹部が形成されてなる雌型を作成し、該雌型の前記凹部にバンプ成形用金属を堆積させ、前記バンプ成形用金属が堆積した前記雌型と、所定の半導体回路が形成されてなる半導体基板と

を、前記雌型の前記凹部に堆積した前記バンプ成形用金属と、対応する前記半導体基板のパッドとが接着するよう張り合わせた後、前記雌型を取り除くことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、T A B (Tape Automated Bonding) 用のバンプを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】電子機器の小型化、高性能化が進む中で多端子数・狭ピッチ化等による平面上での高密度化が図られている。これに伴い、半導体チップ上の全パッドを特定のバンプや金属リードによってパッケージ上の端子に同時に接続するフリップチップ方式やTBA方式等のワイヤレスボンディング方式が提案されている。TBA方式は、半導体チップ表面のパッド上に形成された金製のバンプと、長尺の絶縁性ベースフィルムに銅箔を張り合わせエッティングして形成された多数のリード線とを、加熱されたボンディングツールによって同時に接合する方式である。

【0003】ここで、バンプ101は、図21に示すように、シリコンウェハ102上に形成されたアルミニウム製のパッド103の上に、バリアメタル104を介してメッキによって形成され、略直方体状のストレートウォールバンプとなっている。そして、同図に示すように、このバンプ101の上端面にリード線のインナリード105が接続されている。なお、バンプ101とパッド103との接続箇所以外においては、パッシベーション膜106がシリコンウェハ102を被覆している(例えば、平田誠一著「実践講座 VLSIパッケージング技術(下)」P84~P85参照)。また、各半導体チップ107上には、図22に示すように、所定の長さL、幅W及び高さHを有する多数のバンプ101, 101, …が、シリコンウェハ102において多数の半導体チップ107, 107, …を区画するスクライブ線108, 108, …に沿って、所定のバンプピッチPで整列配置されている。また、シリコンウェハ102上に、上述したようなバンプ101, 101…を形成した後には、各半導体チップ107の電気的特性の良否を判定するための試験が、図23に示すように、各バンプ101の上端面にプローブ109を当てがって行われている。

【0004】

【発明が解決しようとする課題】半導体チップ107のさらなる小型化の要請に応えて、バンプ101の半導体チップ107上における占有面積を縮小しようとすると、上記方法では、バンプ101の長さL、幅W、又はバンプピッチPを小さくする以外なく、このため、バンプ101とインナリード105との間の接触面積が不足して、充分な接合強度が得られず、また、バンプ10

1, 101同士の短絡の危険も生じてしまうという問題点があった。また、上述の試験において、バンプ101の上端面にプローブ109を当てがう際には、電気的機械的接触がなされるために、バンプ101の上端面が荒れてしまい、特に、特性評価やプログラムの修正のために、この試験を繰り返し行ったような場合には、平坦度が損なわれ、さらに、バンプ101の上端面が不純物で汚染されてしまっていた。このため、このプローブ109が当てがわれたバンプ101の上端面に、後の工程でインナリード105を接続する際に、接続強度が不足してしまい、インナリード105とバンプ101との間の接合強度の接続が不完全となってしまうという不都合があった。

【0005】この発明は、上述の事情に鑑みてなされたもので、インナリードとバンプとの間の接合強度を維持して接続不良を防止しつつ、小型化が実現された半導体装置及びその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、半導体基板の表面にパッドを介してバンプが突隆状態に設けられ、該バンプを介してインナリードが上記半導体基板に電気的に接続されてなる半導体装置であって、上記インナリードは上記バンプの傾斜面にボンディングされていることを特徴としている。

【0007】また、請求項2記載の発明は、請求項1記載の半導体装置であって、上記インナリードがボンディングされる上記バンプの傾斜面は、上記半導体基板の最寄りの縁端側から見て上記バンプの背面に設けられていることを特徴としている。

【0008】また、請求項3記載の発明は、請求項1又は2記載の半導体装置であって、上記半導体基板の最寄りの縁端側から見て上記バンプの正面には、上記インナリードはボンディングされていないことを特徴としている。

【0009】また、請求項4記載の発明は、請求項1, 2又は3記載の半導体装置であって、上記半導体基板の最寄りの縁端に略垂直な面で切断した上記バンプの断面形状は、先細りの多角形であることを特徴としている。

【0010】また、請求項5記載の発明は、請求項1, 2, 3又は4記載の半導体装置であって、上記半導体基板の表面から突隆する上記バンプの上記傾斜面の傾斜角は30度以上70度以下であることを特徴としている。

【0011】また、請求項6記載の発明は、請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であって、上記バンプに加工されることとなる突隆状のバンプ成形用部材を表面に有し、所定の半導体回路が形成されてなる半導体基板を用意し、上記バンプ成形用部材の所定の稜線部に対して等方性エッチングを行うことにより、該稜線部を削り取って上記傾斜面を有するバンプを形成することを特徴としている。

【0012】また、請求項7記載の発明は、請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であって、型用基板をエッチングすることにより、上記バンプの外形寸法に略対応した凹部を上記型用基板に形成し、上記凹部にバンプ成形用金属を堆積させ、上記凹部に上記バンプ成形用金属が堆積した上記型用基板と、所定の半導体回路が形成されてなる半導体基板とを、上記凹部に堆積した上記バンプ成形用金属と、対応する上記半導体基板のパッドとが接着するように張り合わせた後、上記型用基板を取り除くことを特徴としている。

【0013】さらにまた、請求項8記載の発明は、請求項1乃至5のいずれか一に記載の半導体装置を製造するための方法であって、上記バンプの外形寸法と略同一の外形寸法の凸部を底部に有する雄型容器を用意し、該雄型容器に熱硬化性樹脂組成物を流し込み、加熱硬化させて凹部が形成されてなる雌型を作成し、該雌型の上記凹部にバンプ成形用金属を堆積させ、上記バンプ成形用金属が堆積した上記雌型と、所定の半導体回路が形成されてなる半導体基板とを、上記雌型の上記凹部に堆積した上記バンプ成形用金属と、対応する上記半導体基板のパッドとが接着するように張り合わせた後、上記雌型を取り除くことを特徴としている。

【0014】

【作用】この発明の構成によれば、インナリードは、半導体基板の表面に対して傾斜しているバンプの傾斜面にボンディングされているので、インナリードとバンプとの接触面積を縮小することなく、バンプの半導体基板上における占有面積を減らすことができる。それ故、インナリードとバンプとの間の接合強度を弱めることなく、半導体基板の縮小化を図ることができる。また、半導体基板の電気的性能を試験する際には、プローブを上記傾斜面以外の面に当接するようにすれば、プローブとの電気的機械的接触のために、インナリードをボンディングする傾斜面が荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようになることがない。このため、インナリードとバンプとの間の接合強度が不足して、接続が不完全となってしまうことはない。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第1実施例

図1は、この発明の第1実施例である半導体装置の内部の状態を示す断面図、図2は、同水平断面図、図3は、同半導体装置の構成を示す断面図、図4は、同半導体装置の半導体チップに適用されるベースフィルム上に形成されたリードフレームを模式的に示す斜視図、図5は、

同半導体チップが多数形成されたシリコンウェハの概略構成を示す斜視図、図6乃至図9は、同半導体装置の製造方法を説明するための工程図、図10は、半導体チップの良否判定のための電気的特性試験を行っている様子を示す図、また、図11は、同半導体チップのバンプにインナリードをボンディングしている様子を示す図である。

【0016】まず、この例の半導体装置1について説明する。図2及び図3に示すように、半導体装置1は、半導体チップ11のパッド111, 111, …上に、それぞれ、金製のバンプ112, 112, …が形成され、各バンプ112には、絶縁性のベースフィルム12上に形成されたリードフレーム13のインナリード13aが接続され、かつ、半導体チップ11及び各バンプ112とインナリード13aとの接続部が樹脂14によって封止されてなっている。ここで、半導体チップ11のサイズは、例えば、1.70mm×11.90mmであり、図2に示すように、半導体チップ11表面には、短辺側に30個、長辺側に200個のバンプ112, 112, …が、それぞれ、6.0μmのピッチPで配置されている。

【0017】各バンプ112は、図1に示すように、半導体チップ11上に形成されたアルミニウム製のパッド111の上に、バリアメタル113を介してメッキによって形成されている。そして、これらのバンプ112, 112, …は、半導体チップ11の端面（ダイエッジ）11aに沿って整列配置されている。なお、各バンプ112とパッド111との接続箇所以外においては、パッシベーション膜114が半導体チップ11を被覆している。また、各バンプ112は、同図に示すように、インナリード13aがボンディングされているボンディング面112aと半導体チップ11の電気的性能を試験するためにプローブを当接するプロービング面112bを有している。ここで、ボンディング面112aは、端面11aに背面していると共に、この例では、半導体チップ11の表面に対して約60度の角度で傾斜している。

【0018】また、プロービング面112bは、端面11aに向かって配置されている。また、各バンプ112の高さは、例えば、約35μmに設定されている。また、ボンディング面112aの傾斜方向の長さは約100μmに設定されている。よって、各バンプ112の底面の長さは約50μmとなっている。リードフレーム13は、図4に示すように、長尺の絶縁性のベースフィルム12に張り合わされた銅箔がエッチングされることにより多数のリード線が形成されてなっている。なお、銅箔には、錫や金のメッキが施されている。ベースフィルム12は、ポリイミド製又はポリエスチル製であって、かつ、映画用フィルムの規格に合ったコマ送り用の孔（スプロケットホール）を有し、これによって、フィルムの送りと位置合わせとが自動的に行われる。

【0019】次に、この例の半導体装置1の製造方法に

について説明する。まず、図5に示すような半導体回路が形成された多数の半導体チップ11, 11, …がスクラップ線21, 21, …によって区画されてなるシリコンウェハ2と、バンプを形成するための型用のシリコンウェハ3とを用意する。次に、図6(a)に示すように、シリコンウェハ2上の所定の箇所にアルミニウム製のパッド111, 111, …を形成し、さらにこの上にパッシベーション膜114を成層し、バンプを形成することとなる部分を開口し、パッド111表面を露出させる。そして、同図(b)に示すように、シリコンウェハ2全面に対して、パッシベーション膜114及び露出したパッド111, 111, …の上に、スパッタリング法によってバリアメタル層113を成膜する。次に、同図(c)に示すように、シリコンウェハ2全面に対して、バリアメタル層113の上に、フォトレジストを塗布し、フォトリソグラフィの技法によって所定のパターンをフォトレジストに転写して、開口を有したフォトレジストマスク115を形成する。

【0020】一方、図7(d)に示すように、シリコンウェハ3上の全面にフォトレジストを塗布し、フォトリソグラフィの技法によって、シリコンウェハ2の各パッド111に対応する位置に開口が作成されるよう所定のパターンをフォトレジストに転写して、フォトレジストマスク31を形成し、エッチングを施して断面V字形の凹部3a, 3a, …を作成する。次に、同図(e)に示すように、フォトレジストマスク31を除去し、シリコンウェハ3上の全面に、スパッタリング法等によって、メッキ電極用のメタル薄膜32を成膜する。この後、同図(f)に示すように、メタル薄膜32上の全面にフォトレジストを塗布し、フォトリソグラフィの技法によって、V字形にエッチングされた各凹部3aの上部が開口されたフォトレジストマスク33を形成する。

【0021】次に、図8(g)に示すように、メタル薄膜32を電極として電解メッキによって、金112xをV字形にエッチングされた各凹部3aに堆積させる。そして、同図(h)に示すように、フォトレジストマスク33及びメタル薄膜32を除去し、同図(i)に示すように、このシリコンウェハ3と、図6(c)に示されるフォトレジストマスク115が形成されたシリコンウェハ2とを、シリコンウェハ3に堆積した金112xが、対応するフォトレジストマスク115の開口に差し込まれるように、張り合わせる。

【0022】そして、図9(j)に示すように、張り合わせられた2枚のシリコンウェハ2, 3を互いに圧接して、金112xをパッド111上のバリアメタル層113に圧着する。次に、同図(k)に示すように、シリコンウェハ3のみをフッ酸系エッチング溶液によって除去する。この後、同図(m)に示すように、シリコンウェハ2上のフォトレジストマスク115及びバリアメタル層113を除去し、所定の寸法で断面五角形状のバンプ

112, 112, …が所定のピッチPで多数形成されたシリコンウェハ2を得る。ここで、各バンプ112のボンディング面112aの傾斜方向の長さは上述したように略100μmであり、底面の長さは略50μmである。

【0023】次に、こうして得られたシリコンウェハ2を構成する各半導体チップ11について、図10に示すように、プローブ4をプロービング面112bに当接して電気的特性を測定し、良品及び不良品の選別を行う。この後、シリコンウェハ2から各半導体チップ11を、スクライビング線21に沿って切断し分離する。次に、取り出された各半導体チップ11について、図4に示すようなベースフィルム上に形成されたリードフレームを半導体チップ11上に載置した後、図11に示すように、先端部のインナリード13aとの接触部がボンディング面112aの傾斜角と同じ角度のテーパが付けられたボンディングツール5を用いて、インナリード13aをボンディング面112aに所定の圧力で押さえつけることによって、図1に示すように、接続が完了する。ここで、各インナリード13aのボンディング面112aへの接続は、同時に一括して行われる。また、この際、ボンディングツール5は、350～450℃程度に加熱されている。この後に、図3に示すように、インナリード13a, 13a, …が接続された半導体チップ11及びバンプ112とインナリード13aとの接続部が樹脂14によって封止され、リード線が成形・切断されて半導体装置1が得られる。

【0024】上記構成によれば、各バンプ112のボンディング面112aは、半導体チップ11の表面に対して傾斜しているので、このボンディング面112aにインナリード13aを電気的に接続することにより、インナリード13aとバンプ112との接觸面積を小さくすることなく、各バンプ112の半導体チップ11上における占有面積を減らすことができる。それ故、インナリード13aとバンプ112との接合強度を弱めることなく、半導体チップ11の縮小化を図ることができる。この例の半導体装置1の各バンプ112のボンディング面112aの傾斜方向の長さは上述したように略100μmであり、底面の長さは略50μmである。一方、従来の方法によるとボンディング面は傾斜していないので、同一の接觸面積を確保するために必要な底面の長さは略100μmである。

【0025】従来の半導体チップのサイズは、バンプ数及びピッチPを同一として、例えば、1.80mm×1.2.00mmであるのに対して、底面の長さを略半分とし、略50μm低減することができるところから、半導体チップ11の四辺について、それぞれ、略100μm短くすることが可能となり、半導体チップ11のサイズは、同一性能で、1.70mm×1.1.90mmまで縮小することができる。すなわち、面積比で93.7%ま

で縮小することができる。また、半導体チップ11の電気的性能を試験する際には、プローブ4をボンディング面112aと離れたプロービング面112bに当接するようにしているので、プローブ4との電気的機械的接触のために、ボンディング面112aが荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようなことがない。このため、インナリード13aの接続強度が不足して、接続が不完全となってしまうことはない。

【0026】◇第2実施例

図12乃至図14は、この発明の第2実施例である半導体装置の製造方法を説明するための工程図である。この第2実施例が上述の第1実施例と大きく異なるところは、バンプを形成する際に、雌型に加工したシリコンウェハ3を用いたのに対して、雄型を底部に有する容器に樹脂を流しこんで雌型を作成し、この雌型を用いるようにした点である。これ以外は第1実施例と略同一であるので、第1実施例の半導体装置1の構成各部等に対応する構成各部等には同一の符号を付してその説明を省略する。

【0027】この例の半導体装置1の製造方法について説明する。まず、図12(a)に示すように、シリコンウェハ2上の所定の箇所にアルミニウム製のパッド111を形成し、さらにこの上にパッシベーション膜114を成層し、バンプを形成することとなる部分を開口し、パッド111表面を露出させる。次に、同図(b)に示すように、シリコンウェハ2全面に対して、パッシベーション膜114及び露出したパッド111の上に、スパッタリング法によってバリアメタル層113を成膜する。そして、同図(c)に示すように、各バンプ112を載せることとなるパッド111上以外のバリアメタル層113をエッチングにより除去する。一方、図13(d)に示すように、バンプ112の外形寸法と略同一の外形寸法の凸部6a, 6a, …を底部に有するバンプ雄型容器6を機械加工によって作製し、このバンプ雄型容器6に熱硬化性樹脂組成物を流し込んだ後、加熱硬化させてバンプ雌型7を作成する。

【0028】次に、同図(e)に示すように、ウェハ状のバンプ雌型7を脱型し、同図(f)に示すように、バンプ雌型7の形成された凹部7a, 7a, …にバンプ形成用金属である金112yを蒸着等によって堆積させる。この後、図14(g)に示すように、バンプ雌型7の各凹部7a以外の箇所に堆積した金112yを研磨によって取り除く。そして、同図(h)に示すように、凹部に金112yが堆積したバンプ雌型7と、上述した工程で作製されたシリコンウェハ2(図12(c)参照)とを、金112yが堆積した各凹部7aが、対応するパッド111に位置合わせされた状態で張り合わせ、圧着する。次に、図14(i)に示すように、有機溶剤等を用いて樹脂製のバンプ雌型7を除去して、バンプ11

2, 112, …形成する。この後の工程は、第1実施例で述べた工程と略同一であるので省略する。上記構成によれば上述した第1実施例と略同様の効果を得ることができる。

【0029】◇第3実施例

図15乃至図18は、この発明の第3実施例である半導体装置の製造方法を説明するための工程図である。この第3実施例が上述の第1実施例と大きく異なるところは、バンプを形成する際に、雌型の使用を廃し、かつ、バンプの形状をえた点である。これ以外の半導体装置1の構成等は第1実施例と略同一であるので省略する。

【0030】この例の半導体装置1の製造方法について説明する。まず、図15(a)に示すように、シリコンウェハ2上の所定の箇所にアルミニウム製のパッド111, 1111, …を形成し、さらにこの上にバッジベーション膜114を成層し、バンプを形成することとなる部分を開口し、各パッド111表面を露出させる。そして、同図(b)に示すように、シリコンウェハ2全面に対し、バッジベーション膜114及び露出したパッド111の上に、スパッタリング法によってバリアメタル層113を成膜する。次に、同図(c)に示すように、シリコンウェハ2全面に対して、バリアメタル層113の上に、フォトレジストを塗布し、フォトリソグラフィの技法によって所定のパターンをフォトレジストに転写して、開口有したフォトレジストマスク115を形成する。

【0031】次に、図16(d)に示すように、バリアメタル層113を電極として、電解メッキによって、開口を施した箇所に金112zを堆積させる。そして、同図(e)に示すように、フォトレジストマスク115を剥離し、露出している部分のバリアメタル層113をエッチングによって除去する。次に、同図(f)に示すように、シリコンウェハ2上の全面に亘ってフォトレジスト116を塗布し、各開口の金112zを含めて被覆する。

【0032】そして、図17に示すように、フォトリソグラフィの技法によって、フォトレジスト116の金112zの上に位置する領域のうち、スクライブ線21から遠い方の縁部近傍の部位をスクライブ線21に平行に開口する。次に、図18(a)に示すように、例えば、真空度の低い状態でのドライエッチングやウェットエッチングによって、等方性の強いエッチングを行う。これにより、水平方向へも最大で金112zの高さと略同じ長さの部分をエッチングして、斜面を形成する。次に、同図(b)に示すように、フォトレジスト116を除去してバンプ112, 112, …を形成する。ここで、この斜面の傾斜角は、例えば、ドライエッチングの場合は、真空度やエッティングガスの濃度等を調節することによって、変化させることができる。この後の工程は、第1実施例で述べた工程と略同一であるので省略する。上

記構成によれば上述した第1実施例と略同様の効果を得ることができる。

【0033】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述した第1実施例及び第2実施例では、断面形状が五角形のバンプ112が形成されてなる半導体チップ11を作製したが、これに限らず、図19に示すように、断面形状が三角形のバンプ81が形成されてなる半導体チップ8でも良いし、図20に示すように、台形のバンプ91が形成されてなる半導体チップ9でも良い。また、例えば、ボンディング面は曲面であっても良い。この場合は、ボンディングツールの先端部もボンディング面の形状に対応させて曲面加工しておくようとする。また、ボンディングツールを用いて、圧着を行う際に超音波を加える方法によっても良い。

【0034】

【発明の効果】以上説明したように、この発明の構成によれば、インナリードは、半導体基板の表面に対して傾斜しているバンプの傾斜面にボンディングされているので、インナリードとバンプとの接触面積を縮小することなく、バンプの半導体基板上における占有面積を減らすことができる。それ故、インナリードとバンプとの間の接合強度を弱めることなく、半導体基板の縮小化を図ることができる。また、半導体基板の電気的性能を試験する際には、プローブを上記傾斜面以外の面に当接するようにすれば、プローブとの電気的機械的接触のために、インナリードをボンディングする傾斜面が荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようなことがない。このため、インナリードとバンプとの間の接合強度が不足して、接続が不完全となってしまうことはない。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の内部の状態を示す断面図である。

【図2】同半導体装置の内部の状態を示す水平断面図である。

【図3】同半導体装置の構成を示す断面図である。

【図4】同半導体装置の半導体チップに適用されるペースフィルム上に形成されたリードフレームを模式的に示す斜視図である。

【図5】同半導体チップが多数形成されたシリコンウェハの概略構成を示す斜視図である。

【図6】同半導体装置の製造方法を説明するための工程図である。

【図7】同半導体装置の製造方法を説明するための工程図である。

【図8】同半導体装置の製造方法を説明するための工程図である。

【図9】同半導体装置の製造方法を説明するための工程図である。

【図10】同半導体チップの良否判定のための電気的特性試験を行っている様子を示す図である。

【図11】同半導体チップのバンプにインナリードをボンディングしている様子を示す図である。

【図12】この発明の第2実施例である半導体装置の製造方法を説明するための工程図である。

【図13】同半導体装置の製造方法を説明するための工程図である。

【図14】同半導体装置の製造方法を説明するための工程図である。

【図15】この発明の第3実施例である半導体装置の製造方法を説明するための工程図である。

【図16】同半導体装置の製造方法を説明するための工程図である。

【図17】同半導体装置の製造方法を説明するための工程図である。

【図18】同半導体装置の製造方法を説明するための工程図である。

【図19】この発明の第1実施例の変形例である半導体装置の内部の状態を示す断面図である。

【図20】この発明の第1実施例の別の変形例である半導体装置の内部の状態を示す断面図である。

【図21】従来技術を説明するための説明図である。

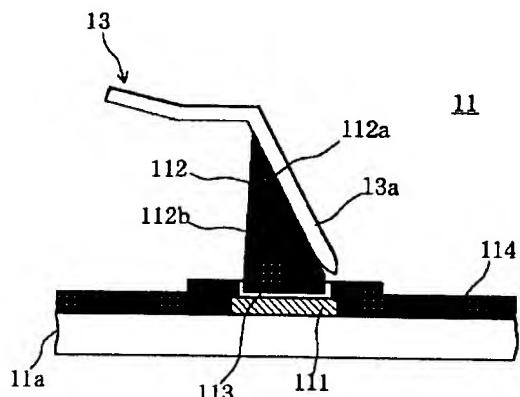
【図22】従来技術を説明するための説明図である。

【図23】従来技術を説明するための説明図である。

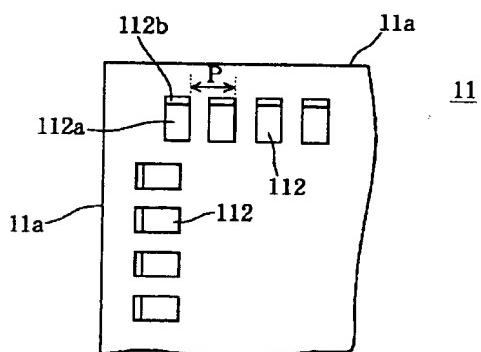
【符号の説明】

- | | |
|------|----------------|
| 1 | 半導体装置 |
| 11 | 半導体チップ(半導体基板) |
| 111 | パッド |
| 112 | バンプ |
| 112a | ボンディング面(傾斜面) |
| 13a | インナリード |
| 2 | シリコンウェハ(半導体基板) |
| 3 | シリコンウェハ(型用基板) |
| 6 | バンプ雄型容器(雄型容器) |
| 6a | 凸部 |
| 7 | バンプ雌型(雌型) |
| 7a | 凹部 |

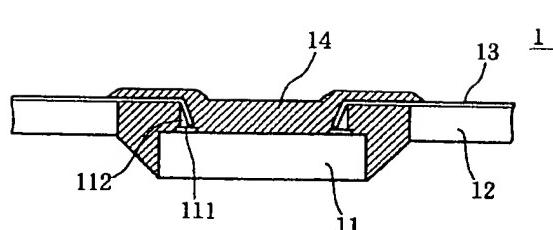
【図1】



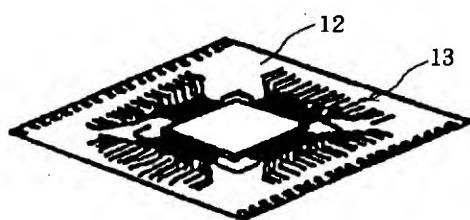
【図2】



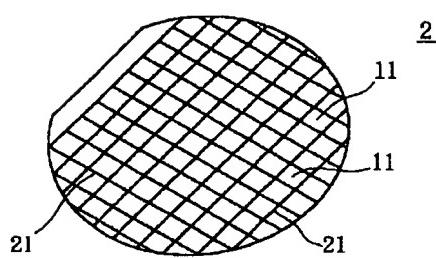
【図3】



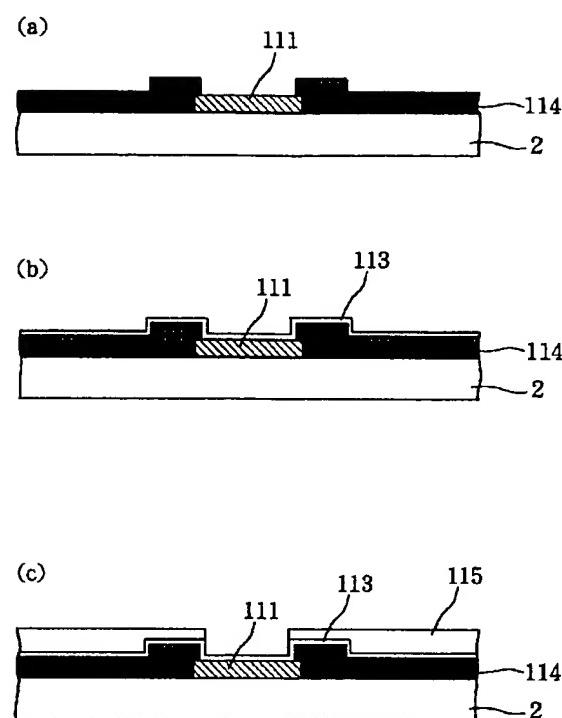
【図4】



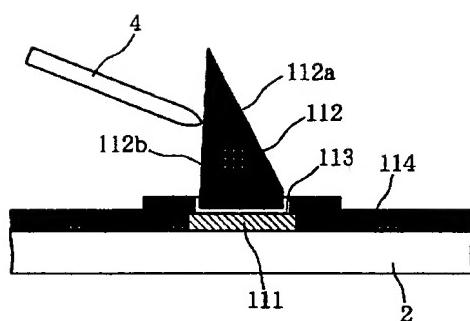
【図5】



【図6】

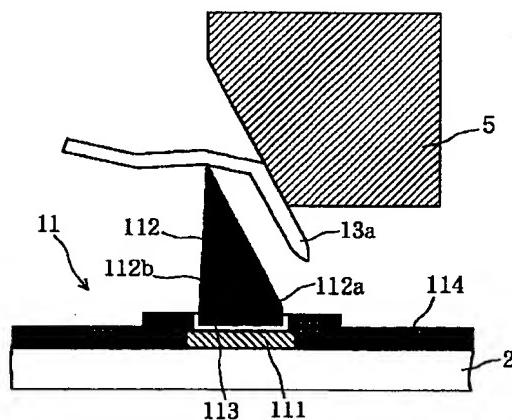
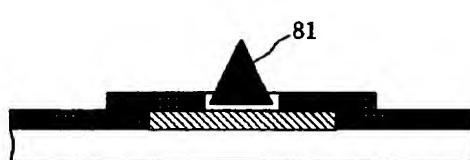


【図10】

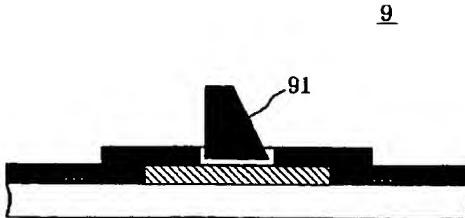


【図19】

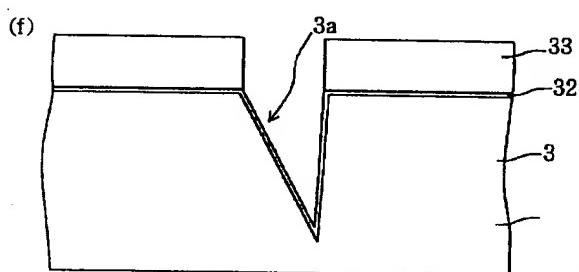
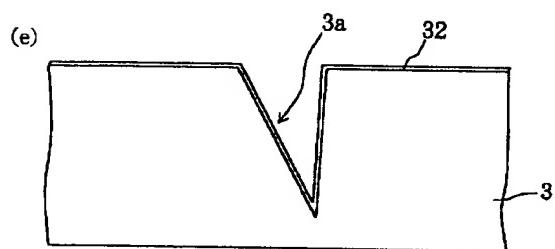
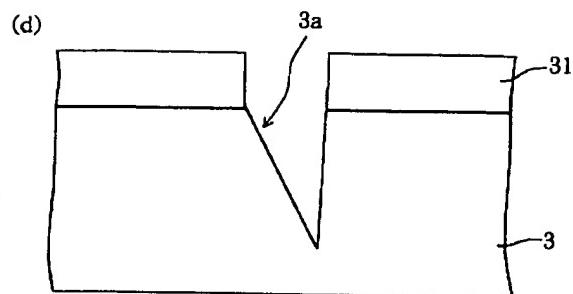
【図11】

8

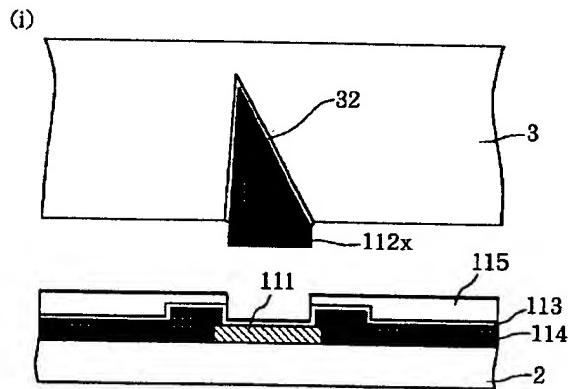
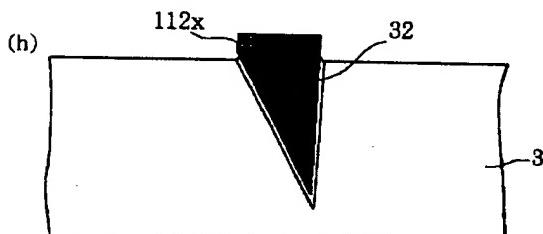
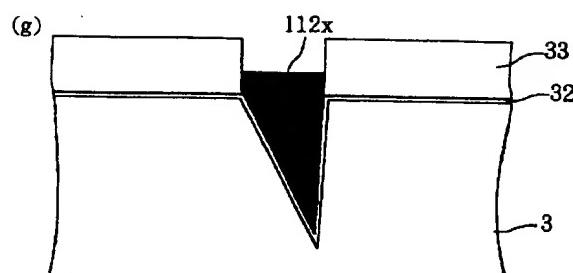
【図20】



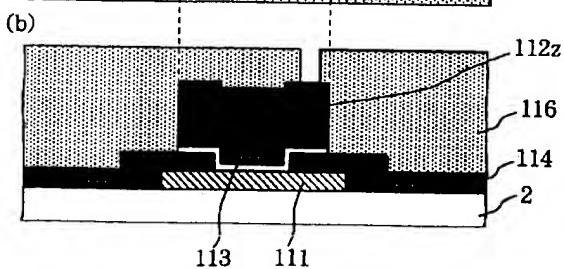
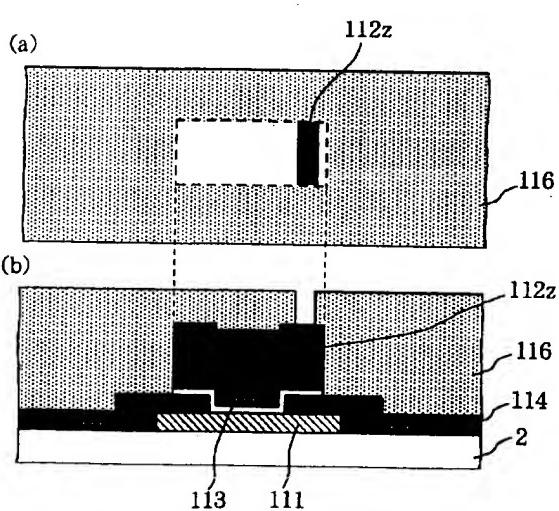
【図7】



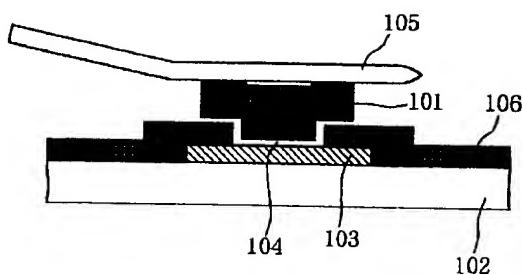
【図8】



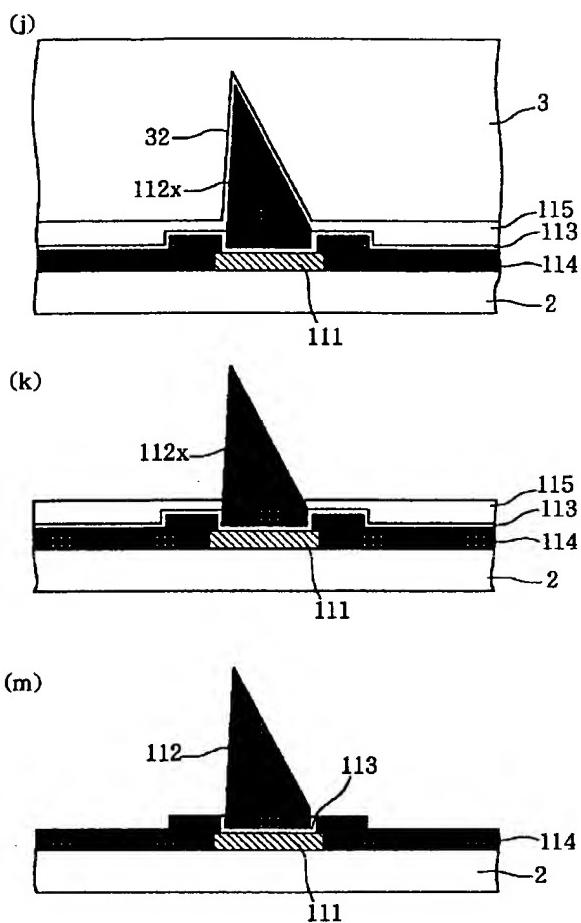
【図17】



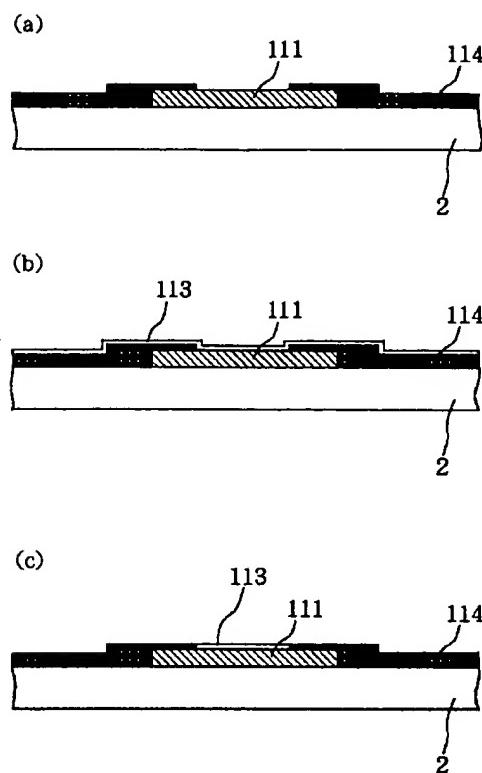
【図21】



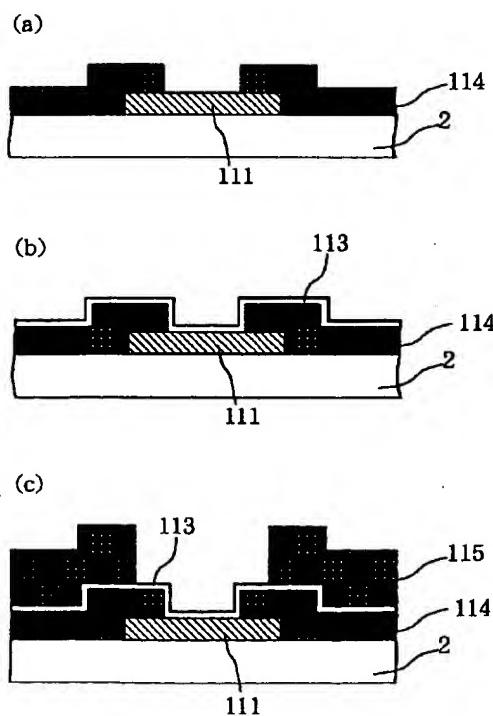
【図9】



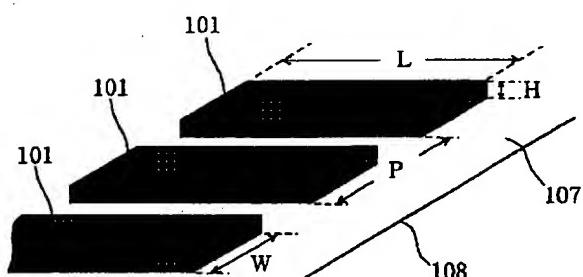
【図12】



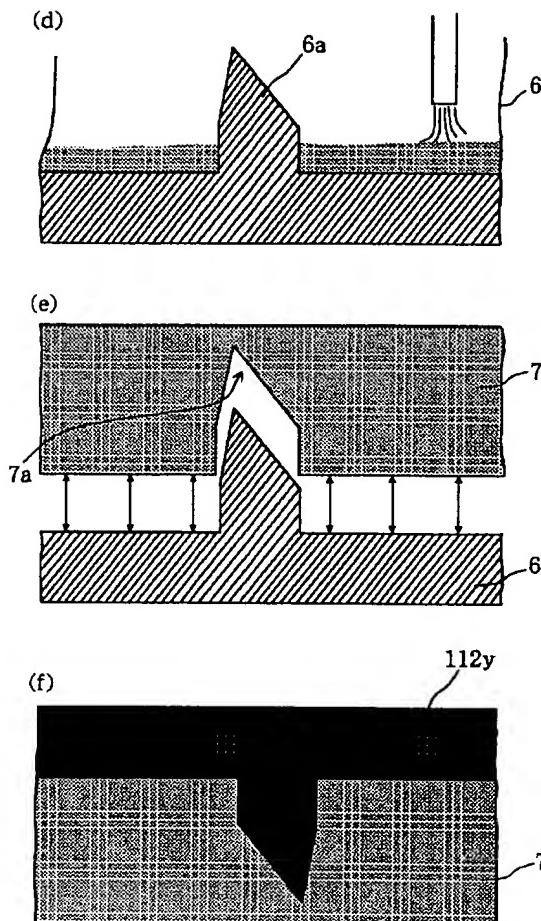
【図15】



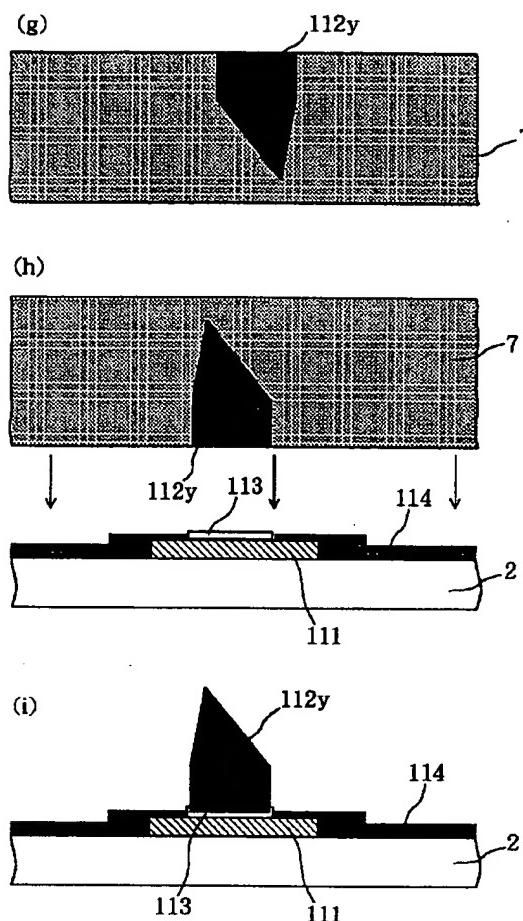
【図22】



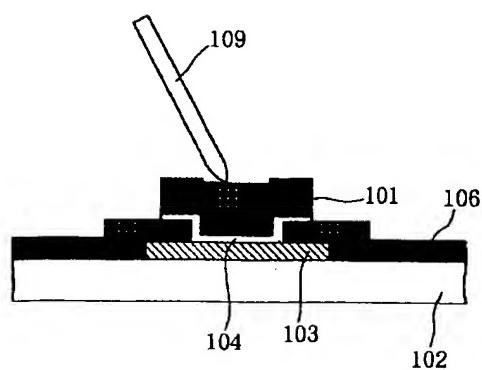
【図13】



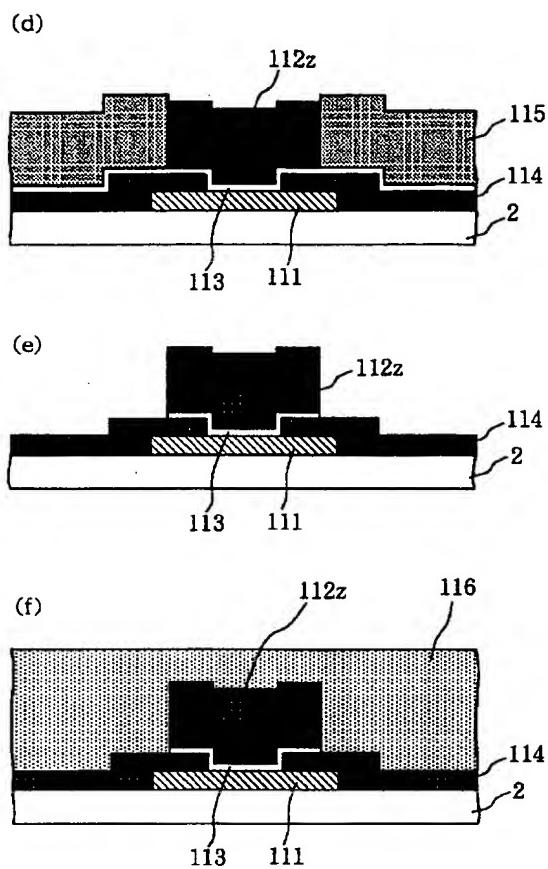
【図14】



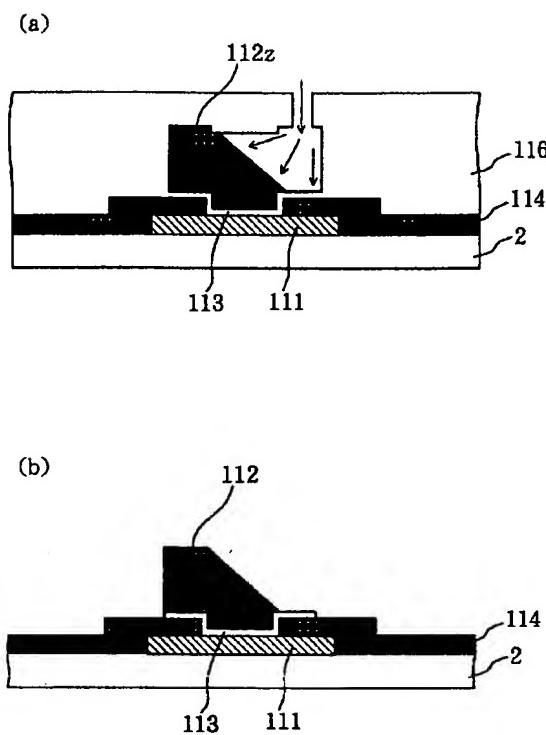
【図23】



【図16】



【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.